



(12) 发明专利

(10) 授权公告号 CN 101580222 B

(45) 授权公告日 2011. 11. 16

(21) 申请号 200810099588. 5

US 7049051 B2, 2006. 05. 23, 附图 1-9.

(22) 申请日 2008. 05. 15

TW 252211 B, 2006. 04. 01, 说明书第 4 页第 3 段, 附图 1.

(73) 专利权人 原相科技股份有限公司  
地址 中国台湾新竹

白韶红. 《新一代麦克风声传感器的发  
展》. 《自动化仪表》. 1996, 第 17 卷 (第 3 期),  
第 3 页倒数第 4 行到第 4 页第 2 行、附图 3b.

(72) 发明人 李昇达 王传蔚

审查员 严恺

(74) 专利代理机构 中原信达知识产权代理有限  
责任公司 11219

代理人 陈肖梅 谢丽娜

(51) Int. Cl.

B81C 1/00 (2006. 01)

H04R 31/00 (2006. 01)

H04R 19/00 (2006. 01)

B81B 3/00 (2006. 01)

(56) 对比文件

US 5824608 A, 1998. 10. 20, 全文.

US 7202101 A1, 2005. 01. 06, 全文.

CN 200983677 Y, 2007. 11. 28, 全文.

US 2005280106 A1, 2005. 12. 22, 全文.

US 7190038 A1, 2004. 12. 23, 全文.

US 5490220 A, 1996. 02. 06, 全文.

CN 1787694 A, 2006. 06. 14, 全文.

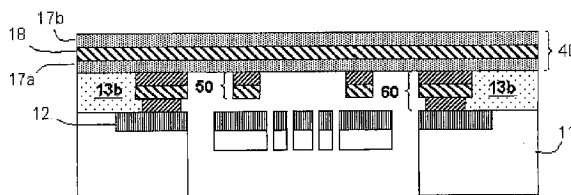
权利要求书 1 页 说明书 4 页 附图 4 页

(54) 发明名称

微机电元件与制作方法

(57) 摘要

本发明涉及一种微机电元件与制作方法, 所制作出的微机电元件包含: 依任意次序沉积的包含至少一层金属层与一层防护层的薄膜结构; 以及连接在该薄膜结构下方的突起部, 该突起部以金属制成, 且该突起部包含一层金属层与一层通道层. 较佳的薄膜结构为至少包含下方防护层、金属层、上方防护层的三层式薄膜结构. 此微机电元件例如适合应用来制作电容式微声压传感器.



1. 一种微机电元件制作方法,其特征在于,包含:  
提供一个基板;  
在该基板上形成介电层;  
在该介电层中以不同于介电层的材质形成突起部,且该突起部不与该基板上表面相连,该突起部以金属制成,且该突起部包含一层金属层与一层通道层;  
沉积包含至少一层金属层与一层防护层的薄膜结构;  
蚀刻该基板的背部形成穿孔;以及  
蚀刻去除该介电层的一部份。
2. 如权利要求1所述的微机电元件制作方法,其中,更包含:在该介电层中形成金属防护环,且该金属防护环包含一层接触层、一层金属层与一层通道层。
3. 如权利要求1所述的微机电元件制作方法,其中,该防护层材料为绝缘材料。
4. 如权利要求1所述的微机电元件制作方法,其中,该防护层材料为以下之一或多者:氮化硅、氮氧化硅、氧化钛。
5. 如权利要求1所述的微机电元件制作方法,其中,该蚀刻基板背部的步骤包括:定义第一屏蔽图案;根据该第一屏蔽图案蚀刻该基板背部的部分深度;定义第二屏蔽图案;以及根据该第二屏蔽图案蚀刻该基板背部。
6. 如权利要求5所述的微机电元件制作方法,其中,对基板背部的蚀刻使用异向性反应式离子蚀刻。
7. 如权利要求1所述的微机电元件制作方法,其中,该蚀刻去除介电层一部份的步骤使用氢氟酸蒸气蚀刻或缓冲氧化物蚀刻。
8. 如权利要求1所述的微机电元件制作方法,其中,该薄膜结构为至少包含下方防护层、金属层、上方防护层的三层式薄膜结构。
9. 一种微机电元件,其特征在于,包含:  
依任意次序沉积的包含至少一层金属层与一层防护层的薄膜结构;以及  
连接在该薄膜结构下方的突起部,该突起部以金属制成,且该突起部包含一层金属层与一层通道层。
10. 如权利要求9所述的微机电元件,其中,更包含:连接在该薄膜结构下方的金属防护环,且该金属防护环包含一层接触层、一层金属层与一层通道层。
11. 如权利要求9所述的微机电元件,其中,该防护层材料为绝缘材料。
12. 如权利要求9所述的微机电元件,其中,该防护层材料为以下之一或多者:氮化硅、氮氧化硅、氧化钛。
13. 如权利要求9所述的微机电元件,其中,该微机电元件为一微声压传感器。
14. 如权利要求9所述的微机电元件,其中,该薄膜结构为至少包含下方防护层、金属层、上方防护层的三层式薄膜结构。

## 微机电元件与制作方法

### 技术领域

[0001] 本发明涉及一种微机电元件与制作方法,特别是一种与 CMOS 制程兼容且不需要使用 SOI(Silicon-On-Insulator) 晶圆的电容式微声压传感器 (Capacitive Micro-electro-mechanical Acoustical Sensor) 与制作方法,且根据本发明方法所制作的微声压传感器具有较佳的制程整合度,可制作单芯片化的微声压传感器。

### 背景技术

[0002] 微机电元件有各种应用,微声压传感器即为其一。微机电技术制作的微声压传感器已不断在市场上推出,因其体积小、可批次化制造、可阵列化并可与 IC 元件整合等优势,已成为未来麦克风发展的主流。其中,利用电容式感测的声压传感器又为大宗,主要原因为电容式感测具有高灵敏度、低自生噪声等优点。

[0003] 制作微机电元件,为符合设计上对于机械特性的要求,常需要特殊专门开发制作微机械结构的制程。以电容式微声压传感器为例,美国专利第 5,490,220 号提出一种以两片晶圆制作微机电麦克风的方法,其缺点之一是必须以接合方式将薄膜电极与背板电极黏合,其制程繁杂度较高。

[0004] 美国专利第 7,190,038 号提出一种制作微机械声压传感器的方法,此案以多晶硅为薄膜电极,二氧化硅为牺牲层,P 型掺杂的硅基材为背板电极。以多晶硅作为结构,机械特性虽佳,但其薄膜应力控制不易,且沉积速度及厚度都受限制。以目前而言,沉积低应力多晶硅作为机械结构,仍非标准 CMOS 制程所能提供。

[0005] 美国专利第 7,049,051 号提出一种利用与 CMOS 制程兼容技术制作微机电麦克风的方法,其利用 CMOS 制程中沉积的金属层与介电层作为薄膜电极,再以等向性蚀刻方式将硅基板蚀刻,制作出振动腔及硅背板结构。此方法利用  $XeF_2$  气体等向性蚀刻硅基板,对于背板与薄膜电极间的距离难以有效掌握,亦即声压传感器的灵敏度会产生误差。另外,在薄膜电极机械结构的边界上也会产生定义误差的问题。

[0006] 美国专利第 7,202,101 号则针对微机电麦克风的薄膜结构开发制作,此案利用金属层作为薄膜电极的导电结构,利用特殊具绝缘性的高分子材料将之包覆,作为薄膜主体结构。此种气相沉积的高分子薄膜特性虽佳,但目前并非标准 CMOS 制程中广泛应用的制程材料。

[0007] 以上制程中除美国专利第 7,049,051 号外,皆不能与 CMOS 制程兼容,而美国专利第 7,049,051 号所制出的微机电结构有前述不尽理想之处。因此,本发明针对以上现有技术的缺点,提出解决之道。

### 发明内容

[0008] 本发明的第一目的在于,提出一种制作微机电元件的方法,其中并不需要使用特殊晶圆与特殊制程,可完全与目前的 CMOS 制程整合。

[0009] 本发明的第二目的在于,提出一种微机电元件,此微机电元件例如可制作为电容

式微声压传感器。

[0010] 为达上述目的,就本发明的其中一个观点而言,提供了一种微机电元件制作方法,包含:提供一个基板;在该基板上形成介电层;在该介电层中以不同于介电层的材质形成突起部,且该突起部不与该基板上表面相连,该突起部以金属制成,且该突起部包含一层金属层与一层通道层;沉积包含至少一层金属层与一层防护层的薄膜结构;蚀刻该基板的背部形成穿孔;以及蚀刻去除该介电层的一部份。

[0011] 上述方法中,薄膜结构以至少包含下方防护层、金属层、上方防护层的三层式薄膜结构为较佳。

[0012] 上述方法中,可进一步在该介电层中形成防护环,且所述突起部和防护环都宜以金属制成。

[0013] 此外,所述上方防护层和下方防护层材料以绝缘材料为较佳,可选自以下之一或多者:氮化硅、氮氧化硅、氧化钛。所述介电层材料可选自以下之一或多者:二氧化硅、掺氟二氧化硅、低介电常数材料、其它氧化物。

[0014] 此外,就本发明的另一个观点而言,提供了一种微机电元件,包含:依任意次序沉积的包含至少一层金属层与一层防护层的薄膜结构;以及连接在该薄膜结构下方的突起部,该突起部以金属制成,且该突起部包含一层金属层与一层通道层。

[0015] 薄膜结构以至少包含下方防护层、金属层、上方防护层的三层式薄膜结构为较佳。

[0016] 上述微机电元件例如适合应用来制作电容式微声压传感器。

[0017] 下面通过具体实施例详加说明,当更容易了解本发明的目的、技术内容、特点及其所达成的功效。

#### 附图说明

[0018] 图 1A-1H 标出本发明的一个实施例;

[0019] 图 2 标出图 1A 的顶视图。

[0020] 图中符号说明

[0021] 11 第零层硅基板

[0022] 12 掺杂区

[0023] 13a、13b 介电层

[0024] 14 通道层

[0025] 15 金属层

[0026] 16 通道层

[0027] 17a 下方防护层

[0028] 17b 上方防护层

[0029] 18 金属层

[0030] 19a 蚀刻保护层

[0031] 19b、19c 光阻

[0032] 20 穿孔

[0033] 40 薄膜结构

[0034] 50 突起部

[0035] 60 防护环

### 具体实施方式

[0036] 本发明中的附图均属示意,主要意在表示制程步骤以及各层之间的上下次序关系,至于形状、厚度与宽度则并未依照比例绘制。

[0037] 首先说明本发明的第一实施例。请参阅图 1A,在本实施例中,首先提供一个第零层晶圆基板 11,此基板 11 例如可为硅基板,以与 CMOS 制程兼容。接着在基板 11 上形成掺杂区 12,必要时亦可以 CMOS 制程制作晶体管元件等(在图标以外的区域,未示出)。接着,再制作图标上方的结构,此结构包含介电层 13a、13b,接触层 14,第一层金属层 15,和第一层通道层 16。制作此结构有各种方法可以采行,例如,可以先沉积第一层介电层,打开开孔填入接触层 14,再沉积第一层金属层 15,定义图案后,沉积第二层介电层并平坦化,再打开开孔填入第一层通道层 16。亦即,在此方法中,介电层 13a(13b) 是由两层介电层所叠合而成。或者,亦可采取所谓的镶嵌式制程(damascene),先沉积第一层介电层后,打开开孔一次填入第一层金属层 15 和接触层 14,再沉积第二层介电层后,打开开孔填入第一层通道层 16。在此方法中,介电层 13a(13b) 亦是由两层介电层所叠合而成。又或者,视整体元件的其它部分布局而定,如不需要第一层通道层 16、或第一层通道层 16 的图案和第一层金属层 15 相同,则可仅一次沉积介电层,并使用一次的镶嵌式制程,而完成图标的结构。

[0038] 请对照图 1A 的剖面图和图 2 的顶视图,在介电层 13a 中,第一层金属层 15 和第一层通道层 16 构成向下的突起部 50。突起部 50 的下表面与基板 11 的上表面不相连。突起部 50 的数目可视需要而任意设置,图标突起部 50 的数目为二仅属举例。突起部 50 的作用,容后参照图 1H 再作说明。此外,接触层 14、第一层金属层 15、和第一层通道层 16 构成防护环 60,将介电层 13a 与 13b 彼此隔离;介电层 13b 的区域可设置其它结构(未示出)。图标接触层 14、第一层金属层 15、和第一层通道层 16 的宽度与厚度的相对关系仅为举例,实际制作时可以任意变化。

[0039] 以上所述是以两层金属制程为例,其接触层与通道层例如可使用钨来制作,金属层则可使用铝来制作,介电层可使用氧化物如二氧化硅、掺氟二氧化硅、低介电常数材料等。当然,使用其它导电与介电材料来制作内连线也是可行的,且金属层数目当然也可以更多,图标仅是举例。

[0040] 请参阅图 1B,接续图 1A 制程之后,在上方继续沉积一层下方防护层 17a,此防护层 17a 例如为氮化硅或氮氧化硅,并在其上沉积第二层金属层 18,之后再在其上沉积一层上方防护层 17b。上方防护层的材料可以和下方防护层相同或不同,上下方防护层的作用是保护第二层金属层 18,此外并需要能在后续蚀刻介电层区域 13a 时抵抗蚀刻,因此,任何在蚀刻介电层区域 13a 时具有高选择比的导电或绝缘材料都可以使用于防护层的制作,所述的氮化硅或氮氧化硅仅为举例,其它材料如氧化钛等亦可。

[0041] 上下方防护层 17a、17b 和第二层金属层 18 作为微机电元件中的薄膜结构 40,例如,当微机电元件为微声压传感器时,此薄膜结构 40 可用来感测声波,并根据声波的波动而振动。

[0042] 薄膜结构沉积完毕后,再于其上沉积一层蚀刻保护层 19a,例如可为一层光阻。如上方防护层 17b 对于后续蚀刻的抵抗力很强,则此层蚀刻保护层 19a 不一定必要。

[0043] 再请参阅图 1C,接下来在基板背部沉积一层光阻 19b,并定义该光阻的图案。

[0044] 再请参阅图 1D,接下来根据光阻 19b 的图案,从基板背部进行蚀刻至适当的深度,例如可以使用蚀刻时间来控制深度;蚀刻的方式例如可为异向性(anisotropic)反应式离子蚀刻(RIE, reactive ion etch)。

[0045] 再请参阅图 1E,接下来更换成光阻图案 19c,接着见图 1F,以光阻 19c 为屏蔽进行蚀刻,直至到达介电层区域 13a 为止,此时在基板 11(和掺杂区 12)上形成了自外部接触介电层区域 13a 的穿孔 20。

[0046] 接着见图 1G,针对介电层区域 13a 进行蚀刻,以将介电层区域 13a 完全去除。其方式例如可使用氢氟酸蒸气蚀刻(HF vapor etch)、或将整体基板浸入酸槽内以缓冲氧化物蚀刻(BOE, buffered oxide etch)方式进行湿式蚀刻。至于蚀刻保护层 19a 和光阻 19c 可在蚀刻完毕后去除,或在蚀刻前去除亦可。

[0047] 请参阅图 1H,与现有技术相比较,除了现有技术不能与 CMOS 制程兼容、或薄膜结构难以精确控制外,本发明的优点在于,当因为蚀刻 13a 而使薄膜结构 40 悬浮时,容易造成薄膜结构 40 与基板 11 互相沾黏而使元件失效。突起部 50 可大幅缩小薄膜结构 40 与基板 11 的接触面积,减少表面张力的作用而成功悬浮薄膜结构 40。

[0048] 以上已针对较佳实施例来说明本发明,只是以上所述,仅为使本领域技术人员易于了解本发明的内容,并非用来限定本发明的权利范围。对于本领域技术人员,当可在本发明精神内,立即思及各种等效变化。举例而言,以上所述实施例以两层金属制程为例,但亦可使用更多层金属的制程,在薄膜结构 40 的下方设置不只一层的金属层,或在薄膜结构 40 的上方设置不只一层的金属层。此时突起部 50 的层数当然也可以相应改变,或保持不变。而薄膜结构 40 的结构也不限于三层,可以仅包含一层金属层和一层防护层(以任意的上下次序),或包含超过三层的金属层和防护层(以任意的上下次序)。除以上所述外,还有其它各种等效变化的可能。故凡依本发明的概念与精神所为之均等变化或修饰,均应包括于本发明的权利要求书的范围内。

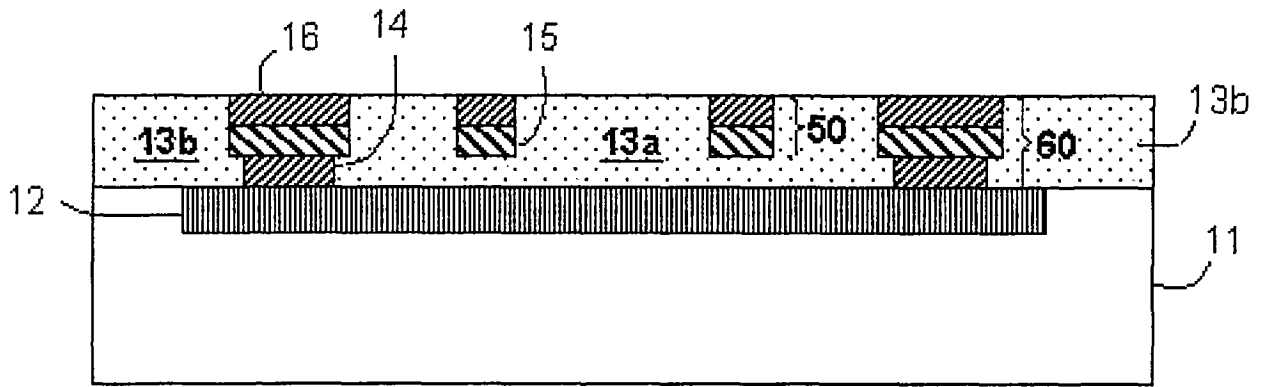


图 1A

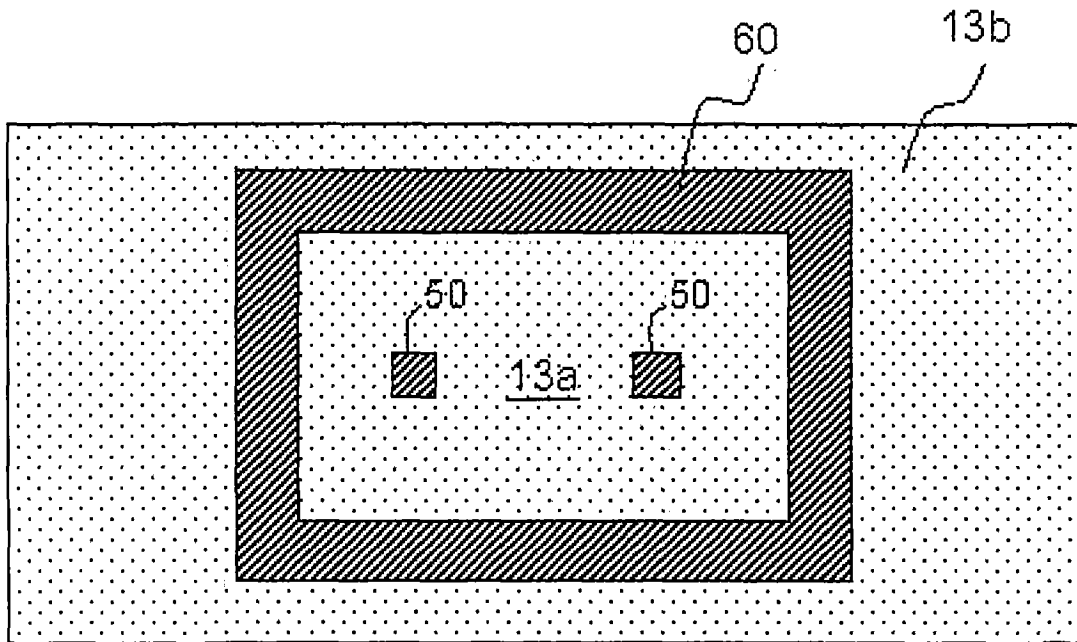


图 2

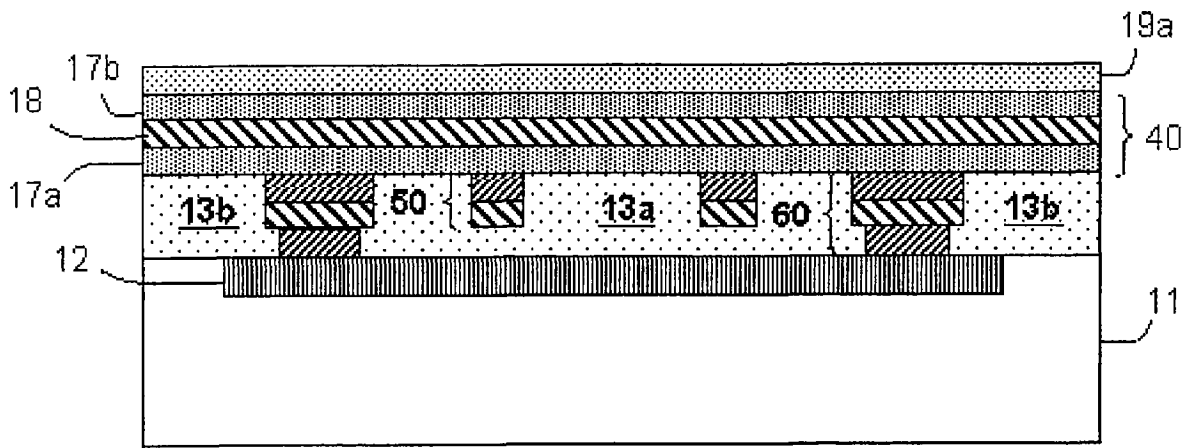


图 1B

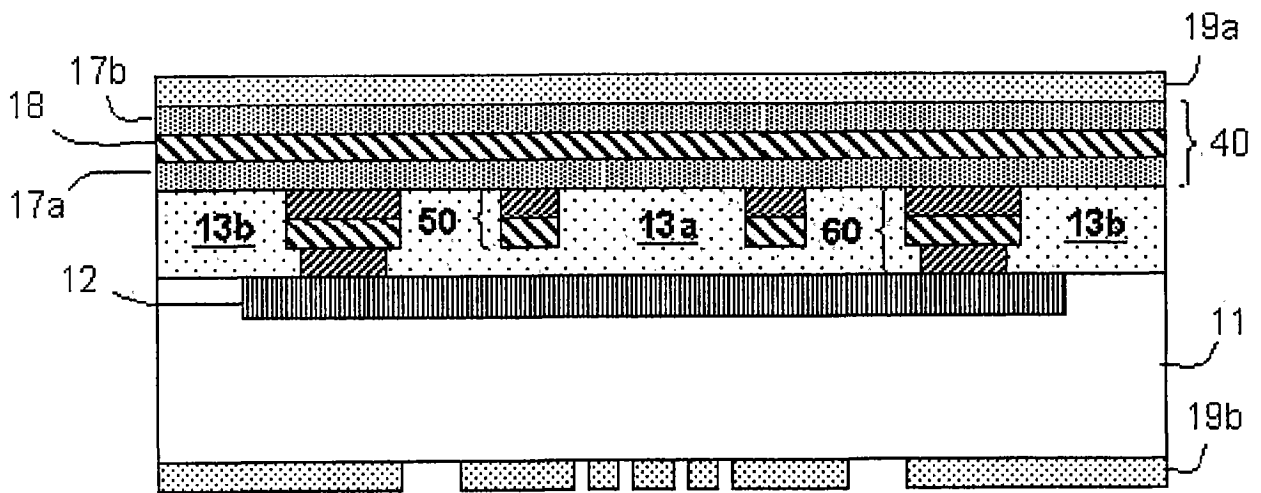


图 1C



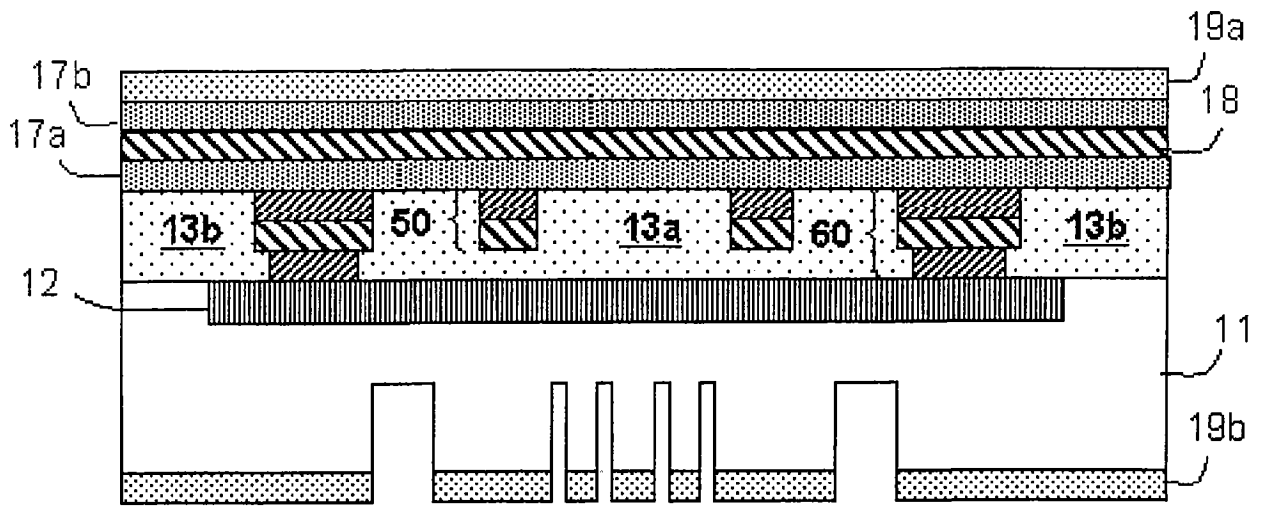


图 1D

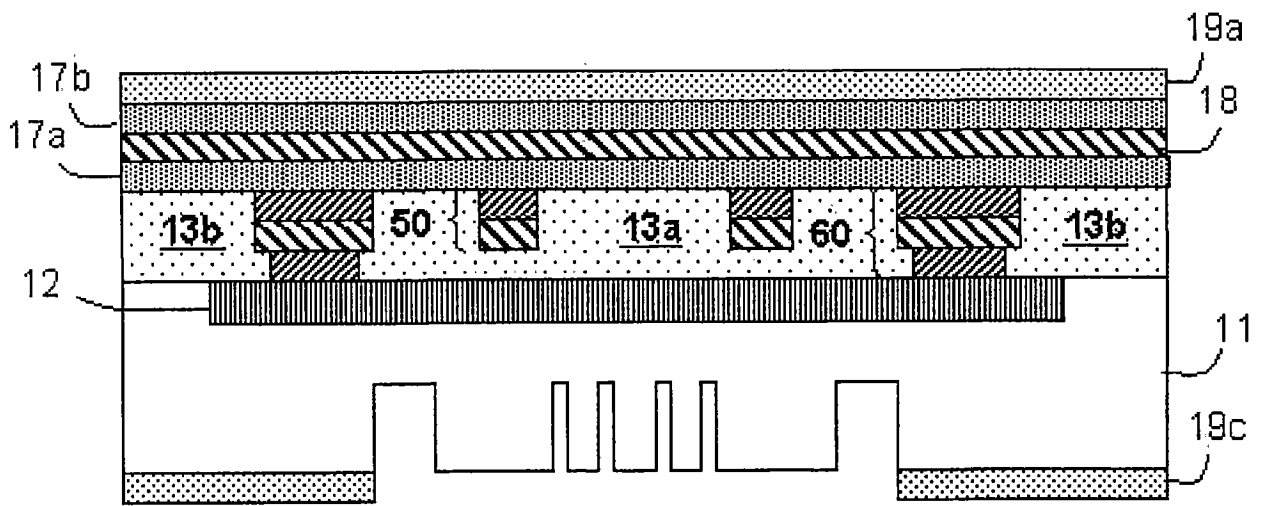


图 1E

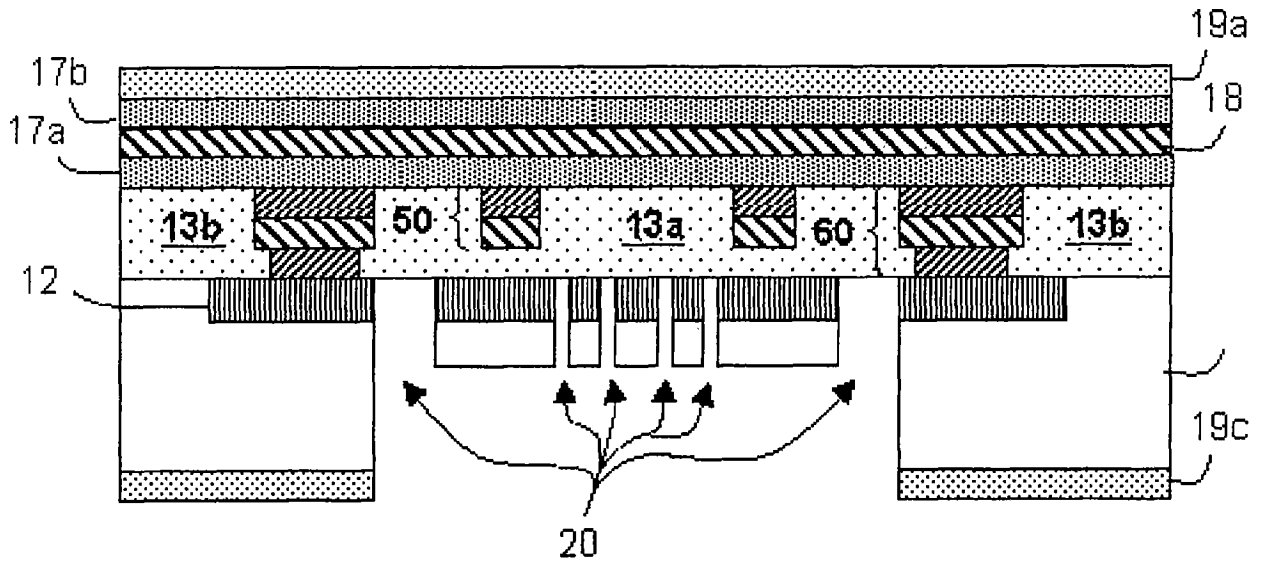


图 1F

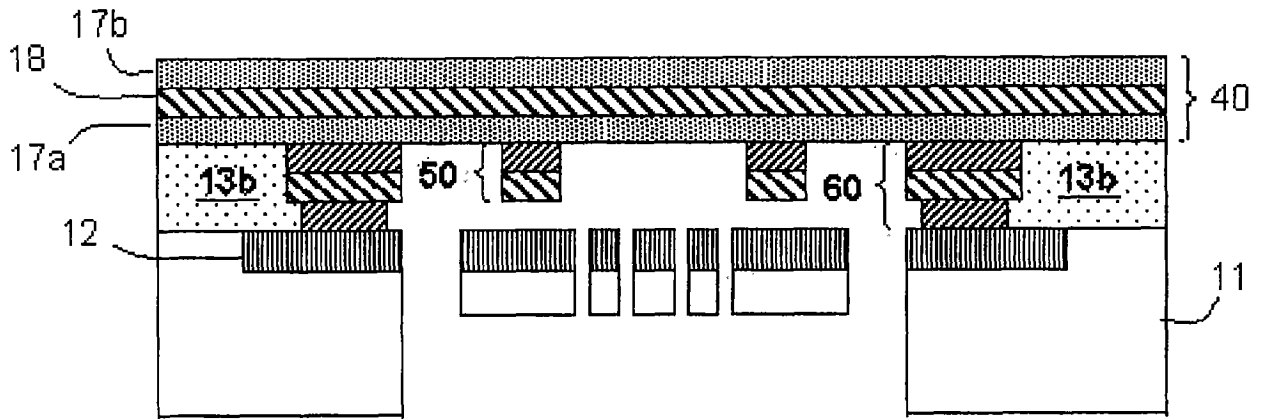


图 1G

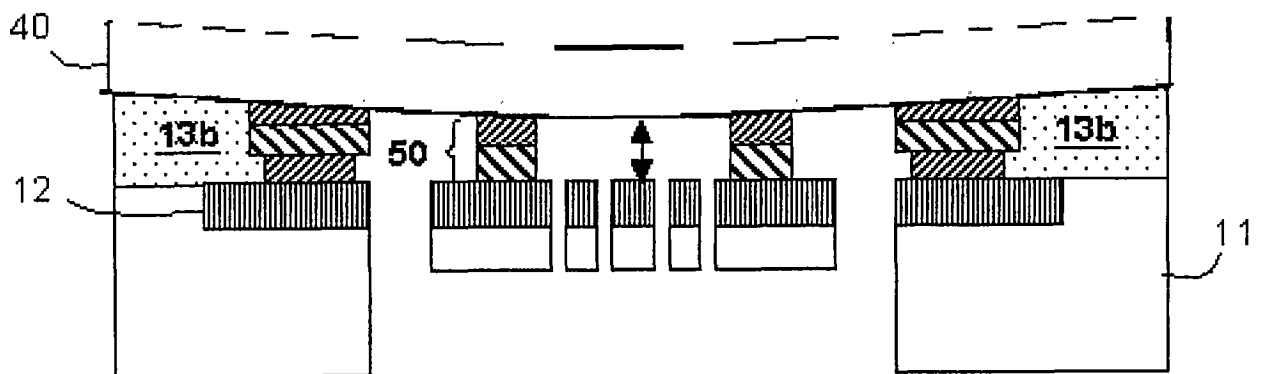


图 1H