



(12) 发明专利

(10) 授权公告号 CN 103036560 B

(45) 授权公告日 2016. 01. 13

(21) 申请号 201210541348. 2

TW 588509 B, 2004. 05. 21, 图 6.

(22) 申请日 2012. 12. 13

TW 588509 B, 2004. 05. 21, 图 6.

(73) 专利权人 广州润芯信息技术有限公司

CN 102751985 A, 2012. 10. 24, 说明书第 26, 27 段 .

地址 510000 广东省广州市彩频路 11 号 A 栋东座 8 楼

CN 102751985 A, 2012. 10. 24, 说明书第 26, 27 段 .

(72) 发明人 张丽娟 陈红林 石磊 刘渭
王明照 王祥炜 符卓剑 胡思静
李正平 张弓 杨寒冰

CN 101257302 A, 2008. 09. 03, 全文 .

审查员 李妮

(74) 专利代理机构 广州市越秀区哲力专利商标
事务所 (普通合伙) 44288

代理人 汤喜友

(51) Int. Cl.

H03L 7/099(2006. 01)

H03L 7/085(2006. 01)

(56) 对比文件

CN 102223147 A, 2011. 10. 19, 说明书第 27 段和第 32 段, 说明书第 33 至 38 段 .

CN 102223147 A, 2011. 10. 19, 说明书第 27 段和第 32 段, 说明书第 33 至 38 段 .

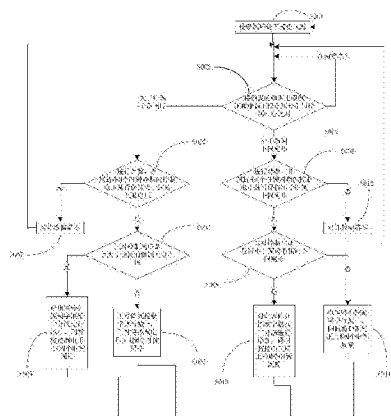
权利要求书 3 页 说明书 7 页 附图 3 页

(54) 发明名称

锁相环、其闭环频率自动校准电路及方法

(57) 摘要

一种锁相环, 其包括鉴频鉴相器、电荷泵、环路滤波器、压控振荡器、分频器、sigma-delta 调制器以及闭环频率自动校准电路; 该压控振荡器至少包括电容阵列和振荡器; 一来自晶振的参考时钟信号输入至鉴频鉴相器和处理器, 鉴频鉴相器依次通过电荷泵和环路滤波器连接振荡器, 振荡器通过分频器连接鉴频鉴相器和 sigma-delta 调制器。上述发明可大大缩短校准时间, 提高校准效率。本发明还涉及一种闭环频率自动校准电路及方法。



1. 一种闭环频率自动校准电路,用于校准锁相环的压控振荡器的频率,其特征在于:其包括钳位电路、电压偏置电路、细调比较器、处理器、第一计数器和第二计数器;

电压偏置电路用于产生细调上限电压和细调下限电压,其中,细调上限电压大于细调下限电压;

该细调比较器包括用于接收细调上限电压的第一输入端、用于接收细调下限电压的第二输入端、用于接收压控振荡器的控制电压的第三输入端、用于输出细调上限比较信号的第一输出端以及用于输出细调下限比较信号的第二输出端;

该细调比较器用于将细调上限电压和细调下限电压分别与来自压控振荡器的控制电压进行比对,若控制电压大于细调上限电压,则该细调上限比较信号为第五电平信号,若控制电压小于细调上限电压,则该细调上限比较信号为第六电平信号;若控制电压大于细调下限电压,则该细调下限比较信号为第七电平信号,若控制电压小于细调下限电压,则该细调下限比较信号为第八电平信号,该第五电平信号和第六电平信号不相同,该第七电平信号和第八电平信号不相同;

当该细调上限比较信号出现为第五电平信号时,处理器控制第一计数器开始对第五电平信号持续的时钟周期个数进行计数,若在预设的N个时钟周期内,该细调上限比较信号保持为第五电平信号,处理器减小压控振荡器的电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续M个时钟周期后控制钳位电路处于高阻态;

当该细调下限比较信号为第八电平信号,处理器控制第二计数器开始对第八电平信号持续的时钟周期个数进行计数,若在N个时钟周期内,细调下限比较信号始终保持为第八电平信号,处理器增大压控振荡器的电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续M个时钟周期后控制钳位电路处于高阻态;

当细调上限比较信号为第六电平信号且该细调下限比较信号为第七电平信号时,处理器不调整压控振荡器的电容阵列的电容阵列控制字;

其中,N和M均为正整数;

闭环频率自动校准电路还包括粗调比较器,该电压偏置电路还用于产生粗调上限电压和粗调下限电压,其中,该粗调上限电压大于粗调下限电压,该粗调上限电压大于细调上限电压,粗调下限电压小于细调下限电压;

该粗调比较器包括用于接收粗调上限电压的第一输入端、用于接收粗调下限电压的第二输入端、用于接收压控振荡器的控制电压的第三输入端、用于输出粗调上限比较信号的第一输出端以及用于输出粗调下限比较信号的第二输出端;

该粗调比较器用于将粗调上限电压和粗调下限电压分别与控制电压进行比对,若控制电压大于粗调上限电压,则该粗调上限比较信号为第一电平信号,若控制电压小于粗调上限电压,则该粗调上限比较信号为第二电平信号;若控制电压大于粗调下限电压,则该粗调下限比较信号为第三电平信号,若控制电压小于粗调下限电压,则该粗调下限比较信号为第四电平信号,其中,该第一电平信号和第二电平信号不相同,该第三电平信号和第四电平信号不相同;

当该细调上限比较信号出现为第五电平信号时,处理器控制第一计数器开始对第五电

平信号持续的时钟周期个数进行计数,若在预设的 N 个时钟周期内,该细调上限比较信号保持为第五电平信号,粗调比较器将粗调上限电压与控制电压进行比对,若控制电压大于粗调上限电压,处理器根据二分法进行减小电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;若控制电压小于粗调上限电压,处理器对电容阵列的电容阵列控制字进行减一,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;

当该细调下限比较信号为第八电平信号,处理器控制第二计数器开始对第八电平信号持续的时钟周期个数进行计数,若在 N 个时钟周期内,细调下限比较信号始终保持为第八电平信号,粗调比较器将预设的粗调下限电压与控制电压进行对比,若控制电压小于粗调下限电压,处理器根据二分法进行增加电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;若控制电压大于粗调下限电压,处理器对电容阵列的电容阵列控制字进行加一,同时,处理器控制钳位电路将控制电压上拉为预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态。

2. 如权利要求 1 所述的闭环频率自动校准电路,其特征在于:粗调比较器和细调比较器均为迟滞比较器。

3. 如权利要求 1 所述的闭环频率自动校准电路,其特征在于:该第一计数器和第二计数器均为高位计数器。

4. 如权利要求 1 所述的闭环频率自动校准电路,其特征在于:该第一电平信号为高电平信号,该第二电平信号为低电平信号;该第三电平信号为低电平信号,该第四电平信号为高电平信号。

5. 如权利要求 1 所述的闭环频率自动校准电路,其特征在于:该第五电平信号为高电平信号,该第六电平信号为低电平信号;该第七电平信号为低电平信号,该第八电平信号为高电平信号。

6. 一种锁相环,其特征在于:其包括鉴频鉴相器、电荷泵、环路滤波器、压控振荡器、分频器、sigma-delta 调制器以及如权利要求 1 至 5 中任一项所述的闭环频率自动校准电路;该压控振荡器至少包括电容阵列和振荡器;一来自晶振的参考时钟信号输入至鉴频鉴相器和处理器,鉴频鉴相器依次通过电荷泵和环路滤波器连接振荡器,振荡器通过分频器连接鉴频鉴相器和 sigma-delta 调制器。

7. 一种锁相环的闭环频率自动校准方法,应用于一锁相环的闭环频率自动校准电路,其特征在于:该闭环频率自动校准电路包括钳位电路、用于产生细调上限电压和细调下限电压的电压偏置电路、细调比较器、处理器、第一和第二计数器,该方法包括以下步骤:

步骤 A:通过处理器将钳位电路设为高阻态,锁相环处于捕捉状态;

步骤 B:通过细调比较器将细调上限电压和细调下限电压分别与来自锁相环的压控振荡器的控制电压进行比对,若控制电压大于细调上限电压,执行步骤 C;若控制电压小于细调下限电压,执行步骤 F;若控制电压大于细调下限电压且小于细调上限电压且持续 N 个时钟周期,重新执行步骤 B;

步骤 C:通过第一计数器对控制电压大于细调上限电压的时钟周期个数进行计数,若

在 N 个时钟周期内,控制电压保持大于细调上限电压,则执行步骤 D;若在 N 个时钟周期内,出现控制电压小于细调上限电压,则执行步骤 E;

步骤 D:通过处理器减小压控振荡器的电容阵列的电容阵列控制字,同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后,执行步骤 A;

步骤 E:对第一计数器清零,再返回执行步骤 B;

步骤 F:通过第二计数器对控制电压小于细调下限电压的时钟周期个数进行计数,若在 N 个时钟周期内,控制电压保持小于细调下限电压,则执行步骤 G;若在 N 个时钟周期内,出现控制电压大于细调下限电压,则执行步骤 H;

步骤 G:通过处理器增大压控振荡器的电容阵列的电容阵列控制字,同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后,执行步骤 A;以及

步骤 H:对第二计数器清零,再返回执行步骤 B;

其中, N 和 M 均为正整数,细调上限电压大于细调下限电压;

该闭环频率自动校准电路还包括粗调比较器,该电压偏置电路还用于产生粗调上限电压和粗调下限电压,其中,该粗调上限电压大于粗调下限电压,该粗调上限电压大于细调上限电压,粗调下限电压小于细调下限电压;上述步骤 D 包括以下步骤:

步骤 D1:通过粗调比较器将粗调上限电压与控制电压进行比对,若控制电压大于粗调上限电压,执行步骤 D2;若控制电压小于粗调上限电压,执行步骤 D3;

步骤 D2:通过处理器根据二分法进行减小电容阵列的电容阵列控制字,同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后,返回执行步骤 A;以及

步骤 D3:通过处理器对电容阵列的电容阵列控制字进行减一,同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后,返回执行步骤 A;

该步骤 G 包括以下步骤:

步骤 G1:通过粗调比较器将预设的粗调下限电压与控制电压进行对比,若控制电压小于粗调下限电压,执行步骤 G2;若控制电压大于粗调下限电压,执行步骤 G3;

步骤 G2:通过处理器根据二分法进行增加电容阵列的电容阵列控制字,同时,通过处理器控制钳位电路将控制电压上拉为预设的电位,持续 M 个时钟周期后,返回执行步骤 A;以及

步骤 G3:通过处理器对电容阵列的电容阵列控制字进行加一,同时,通过处理器控制钳位电路将控制电压上拉为预设的电位,持续 M 个时钟周期后,返回执行步骤 A。

锁相环、其闭环频率自动校准电路及方法

技术领域

[0001] 本发明涉及一种锁相环、其闭环频率自动校准电路及方法。

背景技术

[0002] 锁相环电路是一种反馈控制电路,其特点是利用来自外部晶振提供的输入参考时钟,来控制环路内部振荡信号的频率以及相位,从而得到需要的频率信号。锁相环被广泛的应用于无线通信、导航、控制、仪器仪表等领域中。典型的锁相环电路,如图 1 所示,由鉴频鉴相器 11、电荷泵 12、环路滤波器 13、压控振荡器 14 和分频器 15 构成,若要实现小数分频的锁相环电路时,还需要加入 sigma-delta 调制器 16 来实现小数分频比。此外,在现代无线通信系统中,往往需要高的振荡频率以及宽的调谐范围,而针对这种高指标的压控振荡器,设计者一般采用电感电容压控振荡器,并且为了达到低的相位噪声性能,必须压低压控振荡器的压控增益,所以一般还需要采用开关电容阵列 19 来实现分段式的调谐曲线(如图 2 所示),这种结构的压控振荡器同时也为锁相环引入了另外一个功能模块——用于控制电容开关阵列的自动频率控制电路 18。

[0003] 传统的自动频率控制电路采用纯数字的方法,需要断开环路,箝位压控振荡器控制电压值,然后比较固定周期数内参考信号以及分频器输出信号的周期个数,根据比较值进行调整开关电容阵列的控制字,如此往复,最终得到需要的频率段。尽管这种方法被广泛的采用,但是其有着明显的缺点,每次调整频率时,都需要断开环路,增加了捕捉时间;比较两个信号时,需要两个计数器,而且由于压控振荡器的相邻调谐曲线间的频差小,所以需要很长的计数周期,才能够分辨出要求的频差,这意味着两个计数器的位数要足够多,增加了额外的功耗以及面积。

发明内容

[0004] 针对现有技术的不足,本发明的目的旨在于提供一种频率校准效率高的锁相环、其闭环频率自动校准电路及方法。

[0005] 为实现上述目的,本发明采用如下技术方案:

[0006] 一种闭环频率自动校准电路,用于校准锁相环的压控振荡器的频率,其包括钳位电路、电压偏置电路、细调比较器、处理器、第一计数器和第二计数器;

[0007] 电压偏置电路用于产生细调上限电压和细调下限电压,其中,细调上限电压大于细调下限电压;

[0008] 该细调比较器包括用于接收细调上限电压的第一输入端、用于接收细调下限电压的第二输入端、用于接收压控振荡器的控制电压的第三输入端、用于输出细调上限比较信号的第一输出端以及用于输出细调下限比较信号的第二输出端;

[0009] 该细调比较器用于将细调上限电压和细调下限电压分别与来自压控振荡器的控制电压进行比对,若控制电压大于细调上限电压,则该细调上限比较信号为第五电平信号,若控制电压小于细调上限电压,则该细调上限比较信号为第六电平信号;若控制电压大于

细调下限电压,则该细调下限比较信号为第七电平信号,若控制电压小于细调下限电压,则该细调下限比较信号为第八电平信号,其中,该细调上限电压大于细调下限电压,该第五电平信号和第六电平信号不相同,该第七电平信号和第八电平信号不相同;

[0010] 当该细调上限比较信号出现为第五电平信号时,处理器控制第一计数器开始对第五电平信号持续的时钟周期个数进行计数,若在预设的 N 个时钟周期内,该细调上限比较信号保持为第五电平信号,处理器减小压控振荡器的电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;

[0011] 当该细调下限比较信号为第八电平信号,处理器控制第二计数器开始对第八电平信号持续的时钟周期个数进行计数,若在 N 个时钟周期内,细调下限比较信号始终保持为第八电平信号,处理器增大压控振荡器的电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;

[0012] 当细调上限比较信号为第六电平信号且该细调下限比较信号为第七电平信号时,处理器不调整压控振荡器的电容阵列的电容阵列控制字;

[0013] 其中, N 和 M 均为正整数。

[0014] 闭环频率自动校准电路还包括粗调比较器,该电压偏置电路还用于产生粗调上限电压和粗调下限电压,其中,该粗调上限电压大于粗调下限电压,该粗调上限电压大于细调上限电压,粗调下限电压小于细调下限电压;

[0015] 该粗调比较器包括用于接收粗调上限电压的第一输入端、用于接收粗调下限电压的第二输入端、用于接收压控振荡器的控制电压的第三输入端、用于输出粗调上限比较信号的第一输出端以及用于输出粗调下限比较信号的第二输出端;

[0016] 该粗调比较器用于将粗调上限电压和粗调下限电压分别与控制电压进行比对,若控制电压大于粗调上限电压,则该粗调上限比较信号为第一电平信号,若控制电压小于粗调上限电压,则该粗调上限比较信号为第二电平信号;若控制电压大于粗调下限电压,则该粗调下限比较信号为第三电平信号,若控制电压小于粗调下限电压,则该粗调下限比较信号为第四电平信号,其中,该第一电平信号和第二电平信号不相同,该第三电平信号和第四电平信号不相同;

[0017] 当该细调上限比较信号出现为第五电平信号时,处理器控制第一计数器开始对第五电平信号持续的时钟周期个数进行计数,若在预设的 N 个时钟周期内,该细调上限比较信号保持为第五电平信号,粗调比较器将粗调上限电压与控制电压进行比对,若控制电压大于粗调上限电压,处理器根据二分法进行减小电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;若控制电压小于粗调上限电压,处理器对电容阵列的电容阵列控制字进行减一,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;

[0018] 当该细调下限比较信号为第八电平信号,处理器控制第二计数器开始对第八电平信号持续的时钟周期个数进行计数,若在 N 个时钟周期内,细调下限比较信号始终保持为第八电平信号,粗调比较器将预设的粗调下限电压与控制电压进行对比,若控制电压小于

粗调下限电压,处理器根据二分法进行增加电容阵列的电容阵列控制字,同时处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态;若控制电压大于粗调下限电压,处理器对电容阵列的电容阵列控制字进行加一,同时,处理器控制钳位电路将控制电压上拉为预设的电位,持续 M 个时钟周期后控制钳位电路处于高阻态。

[0019] 粗调比较器和细调比较器均为迟滞比较器。

[0020] 该第一计数器和第二计数器均为高位计数器。

[0021] 该第一电平信号为高电平信号,该第二电平信号为低电平信号;该第三电平信号为低电平信号,该第四电平信号为高电平信号。

[0022] 该第五电平信号为高电平信号,该第六电平信号为低电平信号;该第七电平信号为低电平信号,该第八电平信号为高电平信号。

[0023] 本发明还采用如下技术方案:

[0024] 一种锁相环,其包括鉴频鉴相器、电荷泵、环路滤波器、压控振荡器、分频器、sigma-delta 调制器以及上述的闭环频率自动校准电路;该压控振荡器至少包括电容阵列和振荡器;一来自晶振的参考时钟信号输入至鉴频鉴相器和处理器,鉴频鉴相器依次通过电荷泵和环路滤波器连接振荡器,振荡器通过分频器连接鉴频鉴相器和 sigma-delta 调制器。

[0025] 本发明还采用以下技术方案:

[0026] 一种锁相环的闭环频率自动校准方法,应用于一锁相环的闭环频率自动校准电路,该闭环频率自动校准电路包括钳位电路、用于产生细调上限电压和细调下限电压的电压偏置电路、细调比较器、处理器、第一和第二计数器,该方法包括以下步骤:

[0027] 步骤 A:通过处理器将钳位电路设为高阻态,锁相环处于捕捉状态;

[0028] 步骤 B:通过细调比较器将细调上限电压和细调下限电压分别与来自锁相环的压控振荡器的控制电压进行比对,若控制电压大于细调上限电压,执行步骤 C;若控制电压小于细调下限电压,执行步骤 F;若控制电压大于细调下限电压且小于细调上限电压且持续 N 个时钟周期,重新执行步骤 B;

[0029] 步骤 C:通过第一计数器对控制电压大于细调上限电压的时钟周期个数进行计数,若在 N 个时钟周期内,控制电压保持大于细调上限电压,则执行步骤 D;若在 N 个时钟周期内,出现控制电压小于细调上限电压,则执行步骤 E;

[0030] 步骤 D:通过处理器减小压控振荡器的电容阵列的电容阵列控制字,同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后,执行步骤 A;

[0031] 步骤 E:对第一计数器清零,再返回执行步骤 B;

[0032] 步骤 F:通过第二计数器对控制电压小于细调下限电压的时钟周期个数进行计数,若在 N 个时钟周期内,控制电压保持小于细调下限电压,则执行步骤 G;若在 N 个时钟周期内,出现控制电压大于细调下限电压,则执行步骤 H;

[0033] 步骤 G:通过处理器增大压控振荡器的电容阵列的电容阵列控制字,同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位,持续 M 个时钟周期后,执行步骤 A;以及

- [0034] 步骤 H:对第二计数器清零,再返回执行步骤 B;
- [0035] 其中, N 和 M 均为正整数, 细调上限电压大于细调下限电压。
- [0036] 该闭环频率自动校准电路还包括粗调比较器, 该电压偏置电路还用于产生粗调上限电压和粗调下限电压, 其中, 该粗调上限电压大于粗调下限电压, 该粗调上限电压大于细调上限电压, 粗调下限电压小于细调下限电压; 上述步骤 D 包括以下步骤:
- [0037] 步骤 D1:通过粗调比较器将粗调上限电压与控制电压进行比对, 若控制电压大于粗调上限电压, 执行步骤 D2; 若控制电压小于粗调上限电压, 执行步骤 D3;
- [0038] 步骤 D2:通过处理器根据二分法进行减小电容阵列的电容阵列控制字, 同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位, 持续 M 个时钟周期后, 返回执行步骤 A; 以及
- [0039] 步骤 D3:通过处理器对电容阵列的电容阵列控制字进行减一, 同时通过处理器控制钳位电路将压控振荡器的控制电压上拉至预设的电位, 持续 M 个时钟周期后, 返回执行步骤 A;
- [0040] 该步骤 G 包括以下步骤:
- [0041] 步骤 G1:通过粗调比较器将预设的粗调下限电压与控制电压进行对比, 若控制电压小于粗调下限电压, 执行步骤 G2; 若控制电压大于粗调下限电压, 执行步骤 G3;
- [0042] 步骤 G2:通过处理器根据二分法进行增加电容阵列的电容阵列控制字, 同时, 通过处理器控制钳位电路将控制电压上拉为预设的电位, 持续 M 个时钟周期后, 返回执行步骤 A; 以及
- [0043] 步骤 G3:通过处理器对电容阵列的电容阵列控制字进行加一, 同时, 通过处理器控制钳位电路将控制电压上拉为预设的电位, 持续 M 个时钟周期后, 返回执行步骤 A。
- [0044] 本发明的有益效果如下:
- [0045] 1、实现了闭环的频率自动校准方法, 调整频率时无需断开环路, 可减少校准时间。
- [0046] 2、本发明根据控制电压与粗调上限电压、粗调下限电压的大小关系选择性地采用二分法增减或直接加 / 减一对电容阵列控制字进行赋值, 可大大缩短校准时间, 提高校准效率。
- [0047] 3、本发明采用第一和第二计数器可避免压控振荡器的电容阵列控制字的错误跳变, 使得系统更稳定。
- [0048] 4、本发明的粗调比较器和细调比较器采用迟滞比较器可使得锁相环抗干扰能力提高, 捕捉过程更稳定。

附图说明

- [0049] 图 1 为现有技术的锁相环的较佳实施方式的方框图。
- [0050] 图 2 为带有电容阵列结构的压控振荡器调谐曲线。
- [0051] 图 3 为本发明锁相环的较佳实施方式的方框图。
- [0052] 图 4 为本发明的闭环频率自动校准方法的较佳实施例的流程图。

具体实施方式

- [0053] 下面将结合附图以及具体实施方式, 对本发明做进一步描述:

[0054] 请参见图 3, 本发明涉及一种锁相环, 其较佳实施方式包括鉴频鉴相器 11、电荷泵 12、环路滤波器 13、压控振荡器 14、分频器 15、sigma-delta 调制器 16、闭环频率自动校准电路 50。该压控振荡器 14 至少包括电容阵列 18 和振荡器 120。该闭环频率自动校准电路 50 包括钳位电路 51、电压偏置电路 52、粗调比较器 53、细调比较器 54、处理器 55、计数器 56 和 57。

[0055] 一来自晶振的参考时钟信号输入至鉴频鉴相器 11、处理器 55、计数器 56 和 57, 鉴频鉴相器 11 依次通过电荷泵 12 和环路滤波器 13 连接振荡器 120, 振荡器 120 通过分频器 15 连接鉴频鉴相器 11 和 sigma-delta 调制器 16。

[0056] 电压偏置电路 52 用于产生粗调上限电压 $V_{b_hi_c}$ 和粗调下限电压 $V_{b_lo_c}$ 以及细调上限电压 $V_{b_hi_f}$ 和细调下限电压 $V_{b_lo_f}$, 该电压偏置电路 52 可由适当阻值的若干电阻串联而成。

[0057] 该粗调比较器 53 包括用于接收粗调上限电压 $V_{b_hi_c}$ 的第一输入端、用于接收粗调下限电压 $V_{b_lo_c}$ 的第二输入端、用于接收压控振荡器 14 的控制电压 V_{ctr} 的第三输入端、用于输出粗调上限比较信号 $V_{o_hi_c}$ 的第一输出端以及用于输出粗调下限比较信号 $V_{o_lo_c}$ 的第二输出端。

[0058] 该粗调比较器 53 用于将粗调上限电压 $V_{b_hi_c}$ 和粗调下限电压 $V_{b_lo_c}$ 分别与控制电压 V_{ctr} 进行比对, 若控制电压 V_{ctr} 大于粗调上限电压 $V_{b_hi_c}$, 则该粗调上限比较信号 $V_{o_hi_c}$ 为第一电平信号, 若控制电压 V_{ctr} 小于粗调上限电压 $V_{b_hi_c}$, 则该粗调上限比较信号 $V_{o_hi_c}$ 为第二电平信号; 若控制电压 V_{ctr} 大于粗调下限电压 $V_{b_lo_c}$, 则该粗调下限比较信号 $V_{o_lo_c}$ 为第三电平信号, 若控制电压 V_{ctr} 小于粗调下限电压 $V_{b_lo_c}$, 则该粗调下限比较信号 $V_{o_lo_c}$ 为第四电平信号, 其中, 该第一电平信号和第二电平信号不相同, 该第三电平信号和第四电平信号不相同。

[0059] 该细调比较器 54 包括用于接收细调上限电压 $V_{b_hi_f}$ 的第一输入端、用于接收细调下限电压 $V_{b_lo_f}$ 的第二输入端、用于接收压控振荡器 14 的控制电压 V_{ctr} 的第三输入端、用于输出细调上限比较信号 $V_{o_hi_f}$ 的第一输出端以及用于输出细调下限比较信号 $V_{o_lo_f}$ 的第二输出端。

[0060] 该细调比较器 54 用于将细调上限电压 $V_{b_hi_f}$ 和细调下限电压 $V_{b_lo_f}$ 分别与来自压控振荡器 14 的控制电压 V_{ctr} 进行比对, 若控制电压 V_{ctr} 大于细调上限电压 $V_{b_hi_f}$, 则该细调上限比较信号 $V_{o_hi_f}$ 为第五电平信号, 若控制电压 V_{ctr} 小于细调上限电压 $V_{b_hi_f}$, 则该细调上限比较信号 $V_{o_hi_f}$ 为第六电平信号; 若控制电压 V_{ctr} 大于细调下限电压 $V_{b_lo_f}$, 则该细调下限比较信号 $V_{o_lo_f}$ 为第七电平信号, 若控制电压 V_{ctr} 小于细调下限电压 $V_{b_lo_f}$, 则该细调下限比较信号 $V_{o_lo_f}$ 为第八电平信号, 其中该第五电平信号和第六电平信号不相同, 该第七电平信号和第八电平信号不相同。

[0061] 上述的粗调上限电压 $V_{b_hi_c}$ 大于细调上限电压 $V_{b_hi_f}$, 粗调下限电压 $V_{b_lo_c}$ 小于细调下限电压 $V_{b_lo_f}$ 。

[0062] 当该细调上限比较信号 $V_{o_hi_f}$ 出现为第五电平信号如高电平信号时, 即控制电压 V_{ctr} 大于细调上限电压 $V_{b_hi_f}$ 时, 则处理器 55 控制计数器 56 开始对第五电平信号持续的时钟周期个数进行计数, 若在预设的 N 个时钟周期内, 该细调上限比较信号 $V_{o_hi_f}$ 保持为第五电平信号, 则处理器 55 检测粗调比较器的第一输出端的粗调上限比较信号 $V_{o_$

hi_c。

[0063] 若粗调上限比较信号 Vo_hi_c 为第一电平信号如高电平信号,此意味着压控振荡器 14 所接收的控制频率比实际需要的频率低,则处理器 55 根据二分法减小电容阵列 18 的电容阵列控制字,以获得更适合的频率。若粗调上限比较信号 Vo_hi_c 为第二电平信号如低电平信号,也就是说,控制电压 Vctr 在细调上限电压 Vb_hi_f 和粗调上限电压 Vb_hi_c 之间,说明压控振荡器 14 实际需要的频率在目前电容阵列值的附近,则处理器 55 控制电容阵列 18 对电容阵列控制字进行减一,以获得合适的频率。

[0064] 若在预设的 N 个时钟周期内,该细调上限比较信号 Vo_hi_f 出现为第六电平信号如低电平信号,则该处理器 55 对计数器 56 清零,并在检测到下一个为第五电平信号的细调上限比较信号 Vo_hi_f 时使该计数器 56 重新计数,如此循环。

[0065] 当细调下限比较信号 Vo_lo_f 为第八电平信号如高电平信号时,处理器 55 控制计数器 57 开始计数,若在 N 个时钟周期内(其中 N 为正整数),细调下限比较信号 Vo_lo_f 始终保持为第八电平信号,则检测粗调比较器 53 的第二输出端口的粗调下限比较信号 Vo_lo_c。

[0066] 若粗调下限比较信号 Vo_lo_c 为第四电平信号如高电平信号时,此时控制电压 Vctr 小于粗调下限电压 Vb_lo_c,即压控振荡器 14 所获得的频率比实际需要的频率高,则该处理器 55 根据二分法进行增加电容阵列 18 的电容阵列控制字,以获得符合实际需要的频率。

[0067] 若粗调下限比较信号 Vo_lo_c 为第三电平信号如低电平信号,此时控制电压 Vctr 在粗调下限电压 Vb_lo_c 和细调下限电压 Vb_lo_f 之间,说明压控振荡器 14 实际需要的频率对应的电容阵列控制字在目前的电容阵列控制字附近,则处理器 55 控制电容阵列 18 对其电容阵列控制字进行加一,以获得符合实际需要的频率。

[0068] 若在 N 个时钟周期内,细调下限比较信号 Vo_lo_f 出现为第七电平信号如低电平信号,则处理器 55 对计数器 57 进行清零,并在下一个为第八电平信号的细调下限比较信号 Vo_lo_f 出现时使计数器 57 重新计数,如此循环。

[0069] 当细调上限比较信号 Vo_hi_f 为第六电平信号且该细调下限比较信号 Vo_lo_f 为第七电平信号时,控制信号 Vctr 在细调下限比较信号 Vo_lo_f 和细调上限比较信号 Vo_hi_f 之间时,处理器不调整压控振荡器的电容阵列的电容阵列控制字。

[0070] 上述过程中,处理器 55 控制电容阵列 18 对电容阵列控制字重新赋值的同时,该处理器 55 设置该钳位电路 51 的控制端的信号为高电平信号(也可设置为低电平信号),以使得该钳位电路 51 将环路滤波器 13 的输入电压和压控振荡器 14 的控制电压 Vctr 上拉为锁相环供电电压的二分之一,在 M 个时钟周期后(其中 M 为正整数),该处理器 55 将钳位电路 51 的控制信号置为低电平信号,以使得钳位电路 51 处于高阻态,进而使得锁相环处于捕捉状态。

[0071] 本实施例中,该粗调比较器 53 和细调比较器 54 均采为迟滞比较器,以使得锁相环的锁定值更稳定。

[0072] 在其他实施例中,若对校准精度的要求不高,可不需要细调比较器 54,电压偏置电路 52 对应设置为只输出一个上限电压和一个下限电压,如此,可简化电路。

[0073] 请参见图 4,本发明还涉及一种闭环频率自动校准方法,其包括以下步骤:

[0074] 步骤 S001 :将钳位电路 51 设为高阻态以使得锁相环处于捕捉状态,此时,环路滤波器 13 的输入电压和压控振荡器 14 的控制电压 V_{ctr} 不受钳位电路 51 的控制。

[0075] 步骤 S002 :通过细调比较器 54 将预设的细调上限电压 $V_{b_hi_f}$ 和细调下限电压 $V_{b_lo_f}$ 分别与来自压控振荡器 14 的控制电压 V_{ctr} 进行比对,若控制电压 V_{ctr} 大于细调上限电压 $V_{b_hi_f}$,执行步骤 S003 ;若控制电压 V_{ctr} 小于细调下限电压 $V_{b_lo_f}$,执行步骤 S008 ;若控制电压 V_{ctr} 大于细调下限电压 $V_{b_lo_f}$ 且小于细调上限电压 $V_{b_hi_f}$ 且持续 N 个时钟周期,重新执行步骤 S002。

[0076] 步骤 S003 :通过计数器 56 对控制电压 V_{ctr} 大于细调上限电压 $V_{b_hi_f}$ 的时钟周期个数进行计数,若在 N 个时钟周期内,控制电压 V_{ctr} 保持大于细调上限电压 $V_{b_hi_f}$,则执行步骤 S004 ;若在 N 个时钟周期内,出现控制电压 V_{ctr} 小于细调上限电压 $V_{b_hi_f}$,则执行步骤 S007。

[0077] 步骤 S004 :通过粗调比较器 53 将预设的粗调上限电压 $V_{b_hi_c}$ 与控制电压 V_{ctr} 进行比对,若控制电压 V_{ctr} 大于粗调上限电压 $V_{b_hi_c}$,执行步骤 S005 ;若控制电压 V_{ctr} 小于粗调上限电压 $V_{b_hi_c}$,执行步骤 S006。

[0078] 步骤 S005 :通过处理器 55 对电容阵列 18 的电容阵列控制字根据二分法进行减小,以获得更适合的频率,同时,通过钳位电路 51 将控制电压 V_{ctr} 上拉为预设的电位如锁相环供电电压的二分之一, M 个时钟周期后,返回执行步骤 S001。

[0079] 步骤 S006 :通过处理器 55 对电容阵列 18 的电容阵列控制字进行减一,以获得合适的频率,同时,通过处理器 55 控制钳位电路 51 将控制电压 V_{ctr} 上拉为预设的电位,持续 M 个时钟周期后,返回执行步骤 S001。

[0080] 步骤 S007 :对计数器 56 清零,再返回执行步骤 S002。

[0081] 步骤 S008 :通过计数器 57 对控制电压 V_{ctr} 小于细调下限电压 $V_{b_lo_f}$ 的时钟周期个数进行计数,若在 N 个时钟周期内,控制电压 V_{ctr} 保持小于细调下限电压 $V_{b_lo_f}$,则执行步骤 S009 ;若在 N 个时钟周期内,出现控制电压 V_{ctr} 大于细调下限电压 $V_{b_lo_f}$,则执行步骤 S010。

[0082] 步骤 S009 :通过粗调比较器 53 将预设的粗调下限电压 $V_{b_lo_c}$ 与控制电压 V_{ctr} 进行对比,若控制电压 V_{ctr} 小于粗调下限电压 $V_{b_lo_c}$,执行步骤 S010 ;若控制电压 V_{ctr} 大于粗调下限电压 $V_{b_lo_c}$,执行步骤 S011。

[0083] 步骤 S010 :通过处理器 55 对电容阵列 18 的电容阵列控制字根据二分法进行增加,以获得符合实际需要的频率,同时,通过处理器 55 控制钳位电路 51 将控制电压 V_{ctr} 上拉为预设的电位如锁相环供电电压的二分之一,持续 M 个时钟周期后,返回执行步骤 S001。

[0084] 步骤 S011 :通过处理器 55 对电容阵列 18 的电容阵列控制字进行加一,以获得符合实际需要的频率,同时,通过处理器 55 控制钳位电路 51 将控制电压 V_{ctr} 上拉为预设的电位,持续 M 个时钟周期后,返回执行步骤 S001。

[0085] 步骤 S012 :对计数器 57 进行清零,再返回执行步骤 S002。

[0086] 对于本领域的技术人员来说,可根据以上描述的技术方案以及构思,做出其它各种相应的改变以及变形,而所有的这些改变以及变形都应该属于本发明权利要求的保护范围之内。

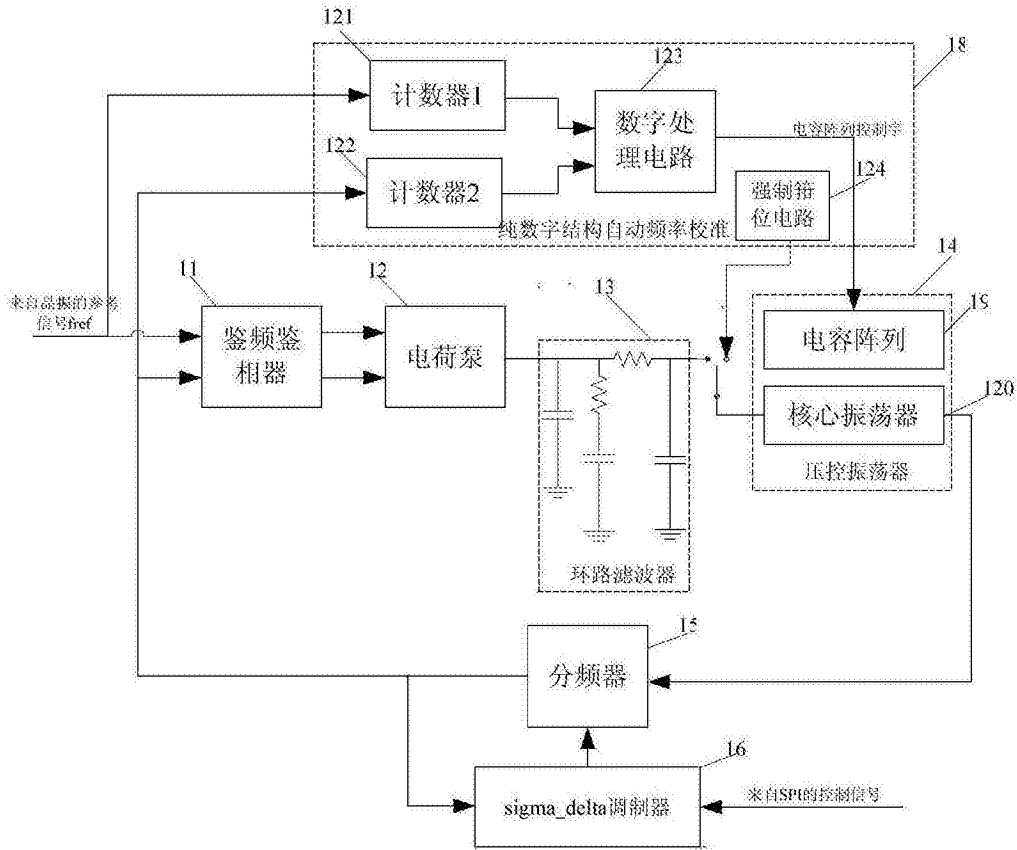


图 1

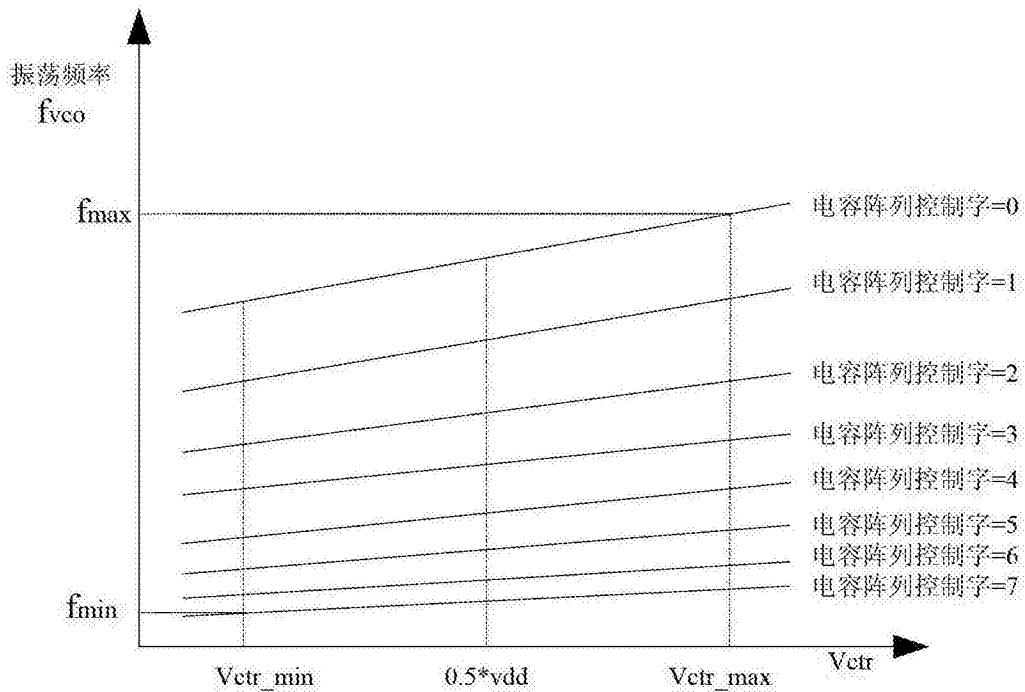


图 2

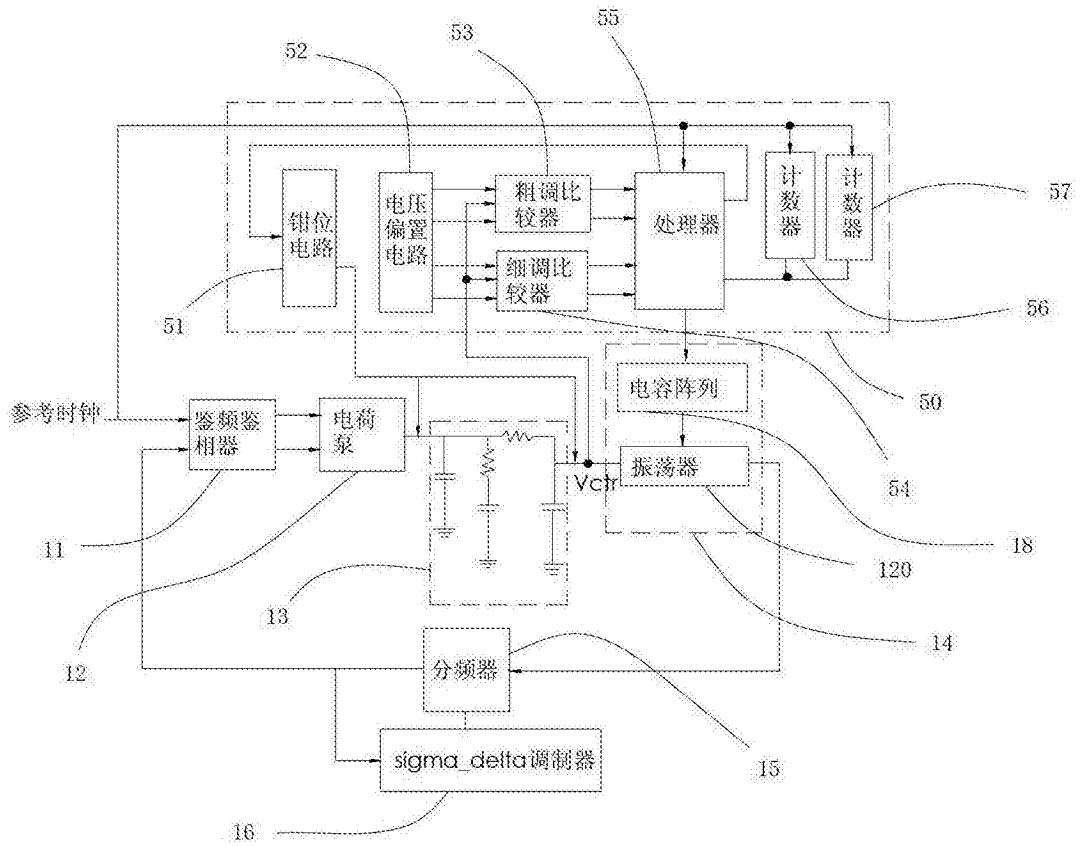


图 3

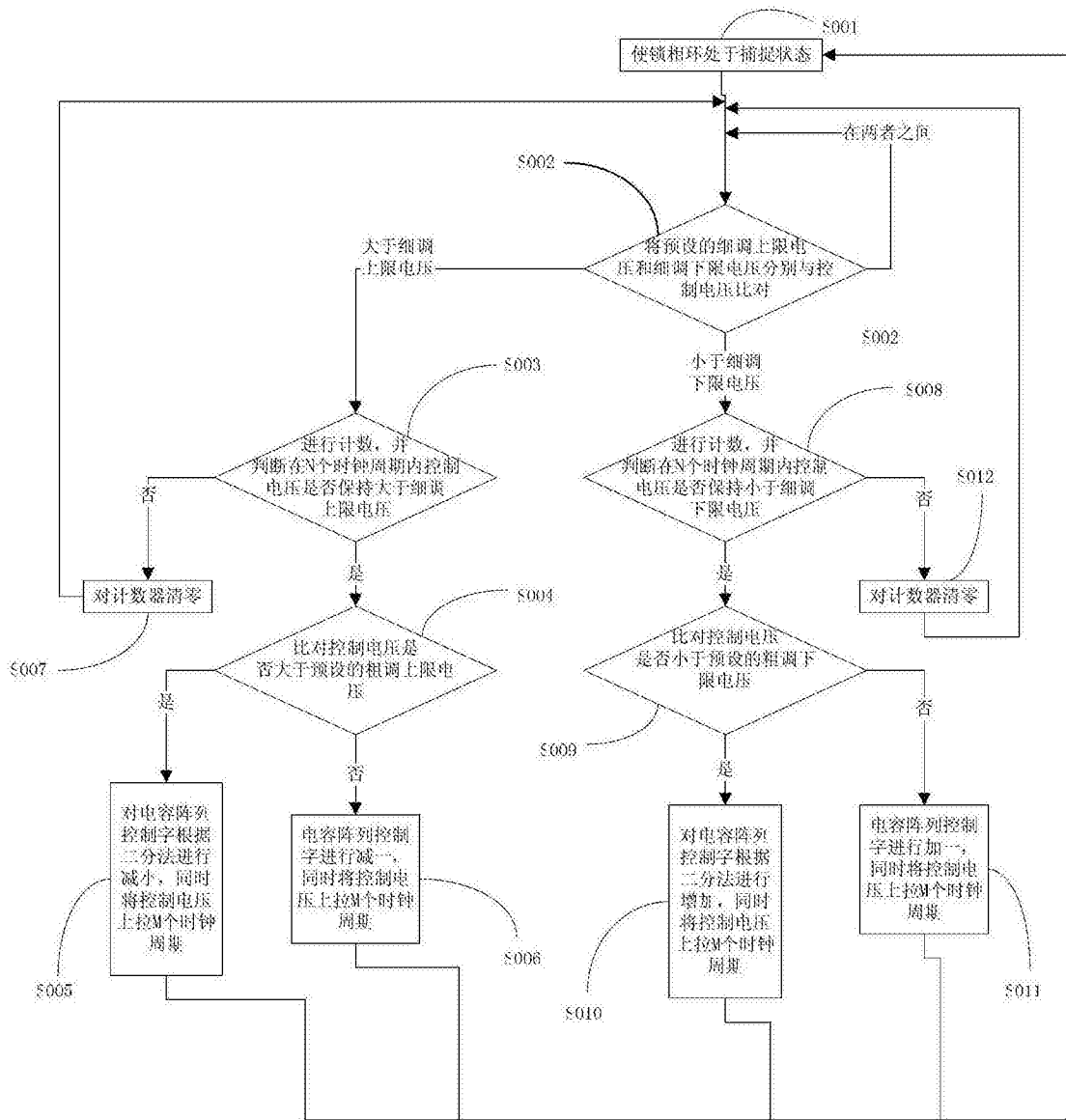


图 4