

활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 상기 발광부 상에 형성된 전류 확산층과, 상기 전류 확산층에 접합된 지지 기판을 구비하고, 상기 제1 및 제2 클래드층이 조성식 $(Al_{x_3}Ga_{1-x_3})_{y_1}In_{1-y_1}P$ ($0 \leq x_3 \leq 1$, $0 < y_1 \leq 1$)로 이루어지는 것을 특징으로 하는 발광 다이오드인 것을 특징으로 한다.

(72) 발명자

무라키 노리따카

일본국 3691893 사이따마 치치부시 시모까게모리
1505 쇼와 덴코 가부시키키가이샤 내

다케우찌 료오이찌

일본국 3691893 사이따마 치치부시 시모까게모리
1505 쇼와 덴코 가부시키키가이샤 내

(30) 우선권주장

JP-P-2010-016877 2010년01월28일 일본(JP)

JP-P-2010-016878 2010년01월28일 일본(JP)

JP-P-2010-179472 2010년08월10일 일본(JP)

JP-P-2010-179473 2010년08월10일 일본(JP)

JP-P-2010-179474 2010년08월10일 일본(JP)

특허청구의 범위

청구항 1

조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한, 양단에 배리어층을 갖는 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 가이드층 및 제2 가이드층과, 상기 제1 및 제2 가이드층을 개재해서 상기 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와,

상기 발광부 상에 형성된 전류 확산층과,

상기 전류 확산층에 접합된 화합물 반도체층을 지지하는 지지 기판을 구비하고,

상기 웰층의 두께는 5~30nm의 범위에 있고,

상기 제1 및 제2 클래드층이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지고,

상기 제1 및 제2 가이드층이 조성식 $(Al_{X4}Ga_{1-X4})As(0 < X4 \leq 1)$ 으로 이루어지며,

$X1 < X2 < X4$ 인 것을 특징으로 하는 발광 다이오드.

청구항 2

제1항에 있어서,

상기 지지 기판은 발광 파장에 대하여 투명한 것을 특징으로 하는 발광 다이오드.

청구항 3

제1항에 있어서,

상기 지지 기판은 GaP, 사파이어 또는 SiC로 이루어지는 것을 특징으로 하는 발광 다이오드.

청구항 4

조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한, 양단에 배리어층을 갖는 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 가이드층 및 제2 가이드층과, 상기 제1 및 제2 가이드층을 개재해서 상기 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와,

상기 발광부 상에 형성된 전류 확산층과,

상기 발광부에 대해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 상기 전류 확산층에 접합된 화합물 반도체층을 지지하는 지지 기판을 구비하고,

상기 웰층의 두께는 5~30nm의 범위에 있고,

상기 제1 및 제2 클래드층이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지고,

상기 제1 및 제2 가이드층이 조성식 $(Al_{X4}Ga_{1-X4})As(0 < X4 \leq 1)$ 으로 이루어지며,

$X1 < X2 < X4$ 인 것을 특징으로 하는 발광 다이오드.

청구항 5

제4항에 있어서,

상기 지지 기판이, 실리콘 또는 게르마늄으로 이루어지는 층을 포함하는 것을 특징으로 하는 발광 다이오드.

청구항 6

제4항에 있어서,

상기 지지 기관은 금속 기관을 포함하는 것을 특징으로 하는 발광 다이오드.

청구항 7

제6항에 있어서,

상기 금속 기관은 복수의 금속층으로 이루어지는 것을 특징으로 하는 발광 다이오드.

청구항 8

제1항 또는 제4항에 있어서,

상기 전류 확산층은 GaP로 이루어지는 것을 특징으로 하는 발광 다이오드.

청구항 9

제1항 또는 제4항에 있어서,

상기 전류 확산층의 두께는 0.5~20 μ m의 범위인 것을 특징으로 하는 발광 다이오드.

청구항 10

제1항 또는 제4항에 있어서,

상기 지지 기관의 측면은, 상기 발광부에 가까운 측에 있어서는 주된 광 취출면에 대하여 수직인 수직면을 갖고, 상기 발광부에서 먼 측에 있어서는 상기 주된 광 취출면에 대하여 내측으로 경사진 경사면을 갖으며, 상기 주된 광 취출면은 상기 발광부에서 상기 지지 기관을 부착한 면의 반대측 면인 것을 특징으로 하는 발광 다이오드.

청구항 11

제10항에 있어서,

상기 경사면은 거친 면을 포함하는 것을 특징으로 하는 발광 다이오드.

청구항 12

제1항 또는 제4항에 있어서,

제1 전극 및 제2 전극이 발광 다이오드의 주된 광 취출면측에 설치되고, 상기 주된 광 취출면은 상기 발광부에서 상기 지지 기관을 부착한 면의 반대측 면인 것을 특징으로 하는 발광 다이오드.

청구항 13

제12항에 있어서,

상기 제1 전극 및 상기 제2 전극이 옴믹 전극인 것을 특징으로 하는 발광 다이오드.

청구항 14

제12항에 있어서,

상기 지지 기관의, 상기 주된 광 취출면측의 반대측의 면에, 제3 전극을 더 구비하는 것을 특징으로 하는 발광 다이오드.

청구항 15

제1항 또는 제4항의 발광 다이오드를 구비하는 것을 특징으로 하는 발광 다이오드 램프.

청구항 16

제14항에 기재된 발광 다이오드를 구비하고, 상기 제1 전극 또는 제2 전극과, 상기 제3 전극이 동전위로 접속되

어 있는 것을 특징으로 하는 발광 다이오드 램프.

청구항 17

제1항 또는 제4항의 발광 다이오드를 복수개 탑재한 조명 장치.

명세서

기술분야

[0001] 본 발명은, 발광 다이오드, 발광 다이오드 램프 및 조명 장치에 관한 것으로, 특히 고출력의 적색 및 적외 발광 다이오드 및 그것을 이용한 발광 다이오드 램프 및 조명 장치에 관한 것이다.

[0002] 본원은, 2009년 9월 15일에, 일본에 출원된 일본 특허 출원 2009-213226호, 2010년 1월 28일에, 일본에 출원된 일본 특허 출원 2010-16877호, 2010년 1월 28일에, 일본에 출원된 일본 특허 출원 2010-16878호, 2010년 8월 10일에, 일본에 출원된 일본 특허 출원 2010-179472호, 2010년 8월 10일에, 일본에 출원된 일본 특허 출원 2010-179473호, 및 2010년 8월 10일에, 일본에 출원된 일본 특허 출원 2010-179474호에 기초하여 우선권을 주장하고, 그들의 내용을 여기에 인용한다.

배경기술

[0003] 적색 및 적외 발광 다이오드(영약칭:LED)는, 통신, 각종 센서용 광원, 야간 조명 등 폭 넓게 이용되고 있다.

[0004] 예를 들면, 피크 파장이 660~720nm인 광은 사람이 인식할 수 있는 적색 광원이며, 옥외 디스플레이나, 출력이 높은 파장대이기 때문에 목시로 센서의 존재를 인식한 쪽이 바람직한 안전 관계의 센서나, 바 코드 리더의 광원 및 의료용 옥시 미터의 광원 등 폭넓은 용도에 사용되고 있다. 또한, 피크 파장이 760~850nm인 광은 발광 출력이 높은 파장대이기 때문에, 각종 센서의 광원, 감시 카메라, 비디오 카메라 등의 적외선 조명에 최적인 파장대이다. 특히, 이 파장대의 AlGaAs 활성층은 고속 응답이 가능하기 때문에, 광 통신이나 고속 포토 커플러에 적합하다. 한편, 발광 파장의 특징을 이용하여 정맥 인증 시스템이나 의료 분야 등의 광원에도 이용되기 시작하고 있다.

[0005] 또한, 최근, 인공 광원에 의한 식물 육성이 연구되고 있다. 특히, 단색성이 우수하고, 에너지 절약, 장수명, 소형화가 가능한 발광 다이오드에 의한 조명을 이용한 재배 방법이 주목받고 있다. 광합성의 촉진에 대하여 파장 660~670nm 부근의 광은, 반응 효율이 높아 바람직한 광원인 것이 알려져 있지만, 더욱 최근의 연구 결과로부터, 식물 육성의 형상 제어에 적합한 발광 파장의 1개로서, 피크 파장 730nm의 적외광의 효과가 확인되어 있다.

[0006] 상기 용도에 있어서, 각 기기의 성능 향상을 위해서, LED의 고출력이 요망되고 있다.

[0007] 예를 들면, 종래의 적외 발광 다이오드에 있어서는, GaAs 기판에 액상 에피택셜법을 이용한 AlGaAs의 다층막으로 이루어지는 LED가 실용화되어, 여러 가지의 고출력화의 검토가 이루어져 있다. 예를 들면, 발광 파장에 대하여 투명한 AlGaAs 에피택셜층을 두껍게 액상법으로 성장하고, 기판으로서 이용한 불투명한 GaAs 기판을 제거하는 구조(소위, 투명 기판형)가, 현상에서 가장 고출력·고효율인 적외 발광 다이오드이다(특허 문헌 1~5).

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 특허 문헌 1 : 일본 특허 공개 평성 7-30150호 공보
- (특허문헌 0002) 특허 문헌 2 : 일본 특허 공개 제 2001-274454호 공보
- (특허문헌 0003) 특허 문헌 3 : 일본 특허 공개 평성 6-268250호 공보
- (특허문헌 0004) 특허 문헌 4 : 일본 특허 공개 평성 6-13650호 공보
- (특허문헌 0005) 특허 문헌 5 : 일본 특허 공개 평성 8-293622호 공보

발명의 내용

해결하려는 과제

[0009] 적외 조명의 광원으로서 한층 더한, 성능 향상, 에너지 절약, 코스트면에서, 발광 효율이 높은 LED의 개발이 요망되고 있다. 또한, 옥내뿐만 아니라, 옥외·반야외 등 사용 환경이 넓어지고, 내습성은, 중요한 신뢰성 항목의 1개이다. 최근 주목받고 있는 식물 육성용 LED 조명의 실용화를 위해서는, 사용 전력의 저감, 내습성의 향상, 고출력화가 보다 강하게 요망되고 있다. 식물 육성의 경우, 살수, 수경 재배 등, 고습 환경 하에서 사용되기 때문에, 내습성은 특히 중요한 특성의 1개이다.

[0010] 본 발명은, 상기 사정을 감안하여 이루어진 것으로, 고출력·고효율이며 내습성이 우수한 적색 및 적외 발광 다이오드를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 본 발명자는, 상기 과제를 해결하기 위해서 예의 연구를 거듭한 결과, 종래, AlGaAs계의 활성층을 이용하는 적외 발광 다이오드에 있어서는, 이 활성층을 포함하는 화합물 반도체층을 투명 기판에 접착한(접합한) 타입은 없었지만, AlGaAs계의 다중 양자웰 구조로서 투명 기판에 접착한(접합한) 타입으로 함으로써, 종래의 적외 발광 다이오드에 비해서 고출력을 나타내는 것을 발견하였다. 또한, 본 발명자는, AlGaAs계의 다중 양자웰 구조에 이용하는 적색 및 적외 발광 다이오드에 있어서, 이 다중 양자웰 구조를 사이에 끼우는 클래드층에, 밴드갭이 크고 또한 결정성이 좋은 4원의 AlGaInP계를 이용함으로써, 클래드층에 AlGaAs계를 이용하는 경우에 비해서 고출력을 나타내는 것을 발견하였다. 또한, Al의 농도도 저하시키는 것이 가능해지고, 부식이 일어나기 어려워져 내습성도 향상한다.

[0012] 본 발명자는, 이 지견에 대해서 더욱 연구를 진행시킨 결과, 이하의 구성에 나타내는 본 발명을 완성하기에 이르렀다.

[0013] 본 발명은, 이하의 수단을 제공한다.

[0014] (1) 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 상기 발광부 상에 형성된 전류 확산층과, 상기 전류 확산층에 접합된 지지 기판을 구비하고, 상기 제1 및 제2 클래드층이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 것을 특징으로 하는 발광 다이오드.

[0015] (2) 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 상기 발광부 상에 형성된 전류 확산층과, 상기 전류 확산층에 접합된 지지 기판을 구비하고, 상기 제1 및 제2 클래드층을 조성식 $(Al_{X2}Ga_{1-X2})_{Y1}In_{1-Y1}P(0 \leq X2 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 것을 특징으로 하는 발광 다이오드.

[0016] (3) 상기 지지 기판은 발광 파장에 대하여 투명한 것을 특징으로 하는 전항 (1) 또는 (2) 중 어느 한 항에 기재된 발광 다이오드.

[0017] (4) 상기 지지 기판은 GaP, 사파이어 또는 SiC로 이루어지는 것을 특징으로 하는 전항 (1) 내지 (3) 중 어느 한 항에 기재된 발광 다이오드.

[0018] (5) 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 상기 발광부 상에 형성된 전류 확산층과, 상기 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 상기 전류 확산층에 접합된 지지 기판을 구비하고, 상기 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 것을 특징으로 하는 발광 다이오드.

[0019] (6) 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 로 이

루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 상기 발광부 상에 형성된 전류 확산층과, 상기 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 상기 전류 확산층에 접합된 지지 기판을 구비하고, 상기 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 것을 특징으로 하는 발광 다이오드.

- [0020] (7) 상기 지지 기판이, 실리콘 또는 게르마늄으로 이루어지는 층을 포함하는 것을 특징으로 하는 전항 (5) 또는 (6) 중 어느 한 항에 기재된 발광 다이오드.
- [0021] (8) 상기 지지 기판은 금속 기판을 포함하는 것을 특징으로 하는 전항 (5) 또는 (6) 중 어느 한 항에 기재된 발광 다이오드.
- [0022] (9) 상기 금속 기판은 복수의 금속층으로 이루어지는 것을 특징으로 하는 전항 (8)에 기재된 발광 다이오드.
- [0023] (10) 상기 전류 확산층은 GaP로 이루어지는 것을 특징으로 하는 전항 (1) 내지 (9) 중 어느 한 항에 기재된 발광 다이오드.
- [0024] (11) 상기 전류 확산층의 두께는 0.5~20 μ m의 범위인 것을 특징으로 하는 청구항 전항 (1) 내지 (10) 중 어느 한 항에 기재된 발광 다이오드.
- [0025] (12) 상기 지지 기판의 측면은, 상기 발광부에 가까운 측에 있어서는 주된 광 취출면에 대하여 대략 수직인 수직면을 갖고, 상기 발광부에서 먼 측에 있어서는 상기 주된 광 취출면에 대하여 내측으로 경사진 경사면을 갖는 것을 특징으로 하는 전항 (1) 내지 (11) 중 어느 한 항에 기재된 발광 다이오드.
- [0026] (13) 상기 경사면은 거친 면을 포함하는 것을 특징으로 하는 전항 (1) 내지 (12) 중 어느 한 항에 기재된 발광 다이오드.
- [0027] (14) 제1 전극 및 제2 전극이 발광 다이오드의 상기 주된 광 취출면측에 설치되어 있는 것을 특징으로 하는 전항 (1) 내지 (13) 중 어느 한 항에 기재된 발광 다이오드.
- [0028] (15) 상기 제1 전극 및 상기 제2 전극이 오믹 전극인 것을 특징으로 하는 전항 (14)에 기재된 발광 다이오드.
- [0029] (16) 상기 지지 기판의, 상기 주된 광 취출면측의 반대측의 면에, 제3 전극을 더 구비하는 것을 특징으로 하는 전항 (14) 또는 (15) 중 어느 한 항에 기재된 발광 다이오드.
- [0030] (17) 전항 (1) 내지 (16) 중 어느 한 항에 기재된 발광 다이오드를 구비하는 것을 특징으로 하는 발광 다이오드 램프.
- [0031] (18) 전항 (16)에 기재된 발광 다이오드를 구비하고, 상기 제1 전극 또는 제2 전극과, 상기 제3 전극이 대략 동전위로 접속되어 있는 것을 특징으로 하는 발광 다이오드 램프.
- [0032] (19) 전항 (1) 내지 (16) 중 어느 한 항에 기재된 발광 다이오드를 복수개 탑재한 조명 장치.
- [0033] 또한, 본 발명에 있어서, 「기능성 기판」이란, 성장 기판에 화합물 반도체층을 성장시킨 후에 그 성장 기판을 제거하고, 전류 확산층을 개재하여 화합물 반도체층에 접합해서 화합물 반도체층을 지지하는 기판을 말하지만, 전류 확산층에 소정의 층을 형성한 후에, 그 소정의 층 상에 소정의 기판을 접합하는 구성의 경우에는, 그 소정의 층을 포함시켜 「기능성 기판」이라고 한다.

발명의 효과

- [0034] 본 발명의 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 전류 확산층에 접합된 지지 기판을 구비하고, 제1 및 제2 클래드층이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 구성으로 함으로써, 종래의 적외 발광 다이오드에 비해서 고효율을 나타낸다. 특히, 지지 기판을 발광 파장에 대하여 투명한 것으로 하는 구성에 의해, 발광부로부터의 발광을 흡수하지 않고 고효율·고효율을 나타낸다. 또한, 활성층이 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 다중웰 구조를 갖는 구성이므로, 단색성이 우수하다. 또한, 클래드층이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq$

$X3 \leq 1, 0 < Y1 \leq 1$)로 이루어지는 구성이고, 결합을 만들기 쉬운 As를 포함하지 않으므로, 결정성이 높고, 고출력에 기여하는 구성으로 되어 있다. 또한, 클래드층이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 구성이므로, 3원계로 이루어지는 종래의 적외 발광 다이오드에 비해서 Al 농도가 낮고, 내습성이 향상하고 있다. 또한, 활성층이 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과 배리어층의 적층 구조를 갖는 구성이므로, MOCVD법을 이용하여 양산하는데에 적합하다.

[0035] 본 발명의 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 1)$ 로 이루어지는 웰층과, $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 전류 확산층에 접합된 지지 기판을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P(0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 구성을 채용한 것에 의해, 상기한 효과 외에, 배리어층이 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 로 이루어지는 구성이며, 결합을 만들기 쉬운 As를 포함하지 않으므로, 결정성이 높고, 고출력에 기여한다.

[0036] 본 발명의 발광 다이오드는, 지지 기판을 GaP, 사파이어, SiC, 실리콘, 또는 게르마늄 등으로 이루어지는 구성으로 함으로써, 부식되기 어려운 재질이기 때문에, 내습성이 향상한다.

[0037] 또한, 본 발명의 발광 다이오드는, 지지 기판과 전류 확산층을 모두 GaP로 이루어지는 구성으로 함으로써, 그 접합이 용이하게 되고 또한 접합 강도가 커진다.

[0038] 본 발명의 발광 다이오드 램프는, 적색광 및 적외광의 발광 파장을 가질 수 있고, 단색성이 우수함과 함께, 고출력·고효율이며 내습성이 우수한 상기 발광 다이오드를 구비하고 있기 때문에, 예를 들면, 730nm의 발광 파장을 채용한 경우에는 식물 육성용의 광원에 적합하다.

도면의 간단한 설명

- [0039] 도 1은 본 발명의 일 실시 형태인 발광 다이오드를 이용한 발광 다이오드 램프의 평면도.
- 도 2는 본 발명의 일 실시 형태인 발광 다이오드를 이용한 발광 다이오드 램프의, 도 1 중에 도시하는 A-A' 선을 따른 단면 모식도.
- 도 3은 본 발명의 일 실시 형태인 발광 다이오드의 평면도.
- 도 4는 본 발명의 일 실시 형태인 발광 다이오드의, 도 3 중에 도시하는 B-B' 선을 따른 단면 모식도.
- 도 5는 본 발명의 일 실시 형태인 발광 다이오드를 구성하는 발광층을 설명하기 위한 도면.
- 도 6은 본 발명의 일 실시 형태인 발광 다이오드에 이용하는 에피 웨이퍼의 단면 모식도.
- 도 7은 본 발명의 일 실시 형태인 발광 다이오드에 이용하는 접합 웨이퍼의 단면 모식도.
- 도 8의 (a)는 본 발명의 다른 실시 형태인 발광 다이오드의 평면도이며, (b)는 (a) 중에 도시하는 C-C' 선을 따른 단면 모식도.
- 도 9는 본 발명의 다른 실시 형태인 발광 다이오드의 단면 모식도.

발명을 실시하기 위한 구체적인 내용

[0040] 이하, 본 발명을 적용한 일 실시 형태인 발광 다이오드에 대해서, 이것을 이용한 발광 다이오드 램프와 함께 도면을 이용하여 상세하게 설명한다. 또한, 이하의 설명에서 이용하는 도면은, 특징을 알기 쉽게 하기 위해서, 편의상 특징이 되는 부분을 확대해서 도시하고 있는 경우가 있고, 각 구성 요소의 치수 비율 등이 실제와 동일하다고는 할 수 없다.

[0041] <발광 다이오드 램프>

[0042] 도 1 및 도 2는, 본 발명을 적용한 일 실시 형태인 발광 다이오드를 이용한 발광 다이오드 램프를 설명하기 위한 도면으로서, 도 1은 평면도, 도 2는 도 1 중에 도시하는 A-A' 선을 따른 단면도이다.

[0043] 도 1 및 도 2에 도시하는 바와 같이, 본 실시 형태의 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)는, 마운트 기판(42)의 표면에 1 이상의 발광 다이오드(1)가 실장되어 있다. 보다 구체적으로는, 마운트 기판(42)의 표면에는, n전극 단자(43)와 p전극 단자(44)가 설치되어 있다. 또한, 발광 다이오드(1)의 제1 전극인 n형 오믹

전극(4)과 마운트 기관(42)의 n전극 단자(43)가 금선(45)을 이용하여 접속되어 있다(와이어 본딩). 한편, 발광 다이오드(1)의 제2 전극인 p형 오믹 전극(5)과 마운트 기관(42)의 p전극 단자(44)가 금선(46)을 이용하여 접속되어 있다. 또한, 도 2에 도시하는 바와 같이, 발광 다이오드(1)의 n형 및 p형 오믹 전극(4, 5)이 설치된 면과 반대측의 면에는, 제3 전극(6)이 설치되어 있고, 이 제3 전극(6)에 의해 발광 다이오드(1)가 n전극 단자(43) 상에 접속되어 마운트 기관(42)에 고정되어 있다. 여기서, n형 오믹 전극(4)과 제3 전극(6)은, n전극 단자(43)에 의해 등전위 또는 대략 등전위로 되도록 전기적으로 접속되어 있다. 제3 전극에 의해, 과도한 역 전압에 대하여, 활성층에는 과전류가 흐르지 않고, 제3 전극과 p형 전극 사이에 전류가 흘러, 활성층의 파손을 방지할 수 있다. 제3 전극과 기관 계면측에, 반사 구조를 부가하여, 고효율로 할 수도 있다. 또한, 제3 전극의 표면측에, 공정 금속, 땀납 등을 부가하는 것에 의해, 공정 다이본드 등, 보다 간편한 조립 기술을 이용 가능하게 한다. 그리고, 마운트 기관(42)의 발광 다이오드(1)가 실장된 표면은, 실리콘 수지나 에폭시 수지 등의 일반적인 밀봉 수지(47)에 의해 밀봉되어 있다.

[0044]

<발광 다이오드(제1 실시 형태)>

[0045]

도 3 및 도 4는, 본 발명을 적용한 제1 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면으로서, 도 3은 평면도, 도 4는 도 3 중에 도시하는 B-B' 선을 따른 단면도이다. 또한, 도 5는 적층 구조의 단면도이다.

[0046]

제1 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 1$)로 이루어지는 웰층(17)과, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 < X2 \leq 1$)로 이루어지는 배리어층(18)을 교대로 적층한 양자웰 구조의 활성층(11)과, 활성층(11)을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부(7)와, 발광부(7) 상에 형성된 전류 확산층(8)과, 전류 확산층(8)에 접합된 지지 기관(3)을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$: $0 \leq X3 \leq 1, 0 < Y1 \leq 1$)로 이루어지는 것을 특징으로 하는 것이다.

[0047]

또한, 본 실시 형태에 있어서의 주된 광 추출면이란, 화합물 반도체층(2)에 있어서, 지지 기관(3)을 접착한 면의 반대측의 면이다.

[0048]

화합물 반도체층(에피택셜 성장층이라고도 함)(2)은, 도 4에 도시하는 바와 같이, pn접합형의 발광부(7)와 전류 확산층(8)이 순차적으로 적층된 구조를 갖고 있다. 이 화합물 반도체층(2)의 구조에는, 공지의 기능층을 적시에 부가할 수 있다. 예를 들면, 오믹(Ohmic) 전극의 접촉 저항을 낮추기 위한 컨택트층, 소자 구동 전류를 발광부의 전반에 평면적으로 확산시키기 위한 전류 확산층, 반대로 소자 구동 전류가 통류하는 영역을 제한하기 위한 전류 저지층이나 전류 협착층 등 공지의 층 구조를 형성할 수 있다. 또한, 화합물 반도체층(2)은, GaAs 기관 상에 에피택셜 성장시켜 형성된 것인 것이 바람직하다.

[0049]

발광부(7)는, 도 4에 도시하는 바와 같이, 전류 확산층(8) 상에, 적어도 p형의 하부 클래드층(제1 클래드층)(9), 하부 가이드층(10), 발광층(활성층)(11), 상부 가이드층(12), n형의 상부 클래드층(제2 클래드층)(13)이 순차적으로 적층되어 구성되어 있다. 즉, 발광부(7)는, 방사 재결합을 가져오는 캐리어(담체;carrier) 및 발광을 발광층(11)에 「감금하기」 위해서, 발광층(11)의 하측 및 상측에 대치해서 배치한 하부 클래드층(9), 하부 가이드(guide)층(10) 및 상부 가이드층(12), 상부 클래드층(13)을 포함하는, 소위, 더블 헤테로(영문 약칭:DH) 구조로 하는 것이 고장도의 발광을 얻는 데에 있어서 바람직하다.

[0050]

활성층(11)은, 도 5에 도시하는 바와 같이, 발광 다이오드(LED)의 발광 파장을 제어하기 위해서, 양자웰 구조를 구성한다. 즉, 활성층(11)은, 배리어층(장벽층이라고도 함)(18)을 양단에 갖는, 웰층(17)과 배리어층(18)의 다층 구조(적층 구조)이다.

[0051]

활성층(11)의 층 두께는, 0.02~2 μ m의 범위인 것이 바람직하다. 또한, 활성층(11)의 전도형은 특별히 한정되는 것은 아니고, 언도프, p형 및 n형의 어느 쪽도 선택할 수 있다. 발광 효율을 높이기 위해서는, 결정성이 양호한 언도프 또는 $3 \times 10^{17} \text{ cm}^{-3}$ 미만의 캐리어 농도로 하는 것이 바람직하다.

[0052]

웰층(17)은, $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 0.36$)의 조성을 갖고 있는 것이 바람직하다. 상기 X1은, 최적의 발광 파장으로 되도록 조정할 수 있다.

[0053]

표 1에, 웰층(17)의 층 두께가 17nm일 때, Al 조성 X1과 발광 피크 파장의 관계를 나타낸다. Al 조성 X1이 낮아질수록, 발광 피크 파장이 길어지고 있는 것을 알 수 있다. 또한, 그 변화의 경향으로부터, 표에 게재되어 있지 않은 발광 피크 파장에 대응하는, Al 조성을 추정할 수 있다.

표 1

[0054]

피크 파장(nm)	Al 조성(x)
660	0.33
680	0.28
700	0.24
720	0.20
730	0.18
760	0.13
800	0.07
830	0.03
850	0.00

[0055]

웰층(17)의 층 두께는, 3~30nm의 범위가 적절하다. 보다 바람직하게는, 5~20nm의 범위이다.

[0056]

표 2에, 웰층(17)의 Al 조성 $X_1=0.18$ 일 때, 웰층(17)의 층 두께와, 예를 들면, 720nm~760nm의 발광 피크 파장의 관계를 나타낸다. 층 두께가 얇아지면 양자 효과에 의해, 파장이 짧아진다. 두꺼운 경우에는, 발광 피크 파장은, 조성에 따라 일정하다. 또한, 그 변화의 경향으로부터, 표에 기재되어 있지 않은 발광 피크 파장에 대응하는, 층 두께를 추정할 수 있다.

표 2

[0057]

피크 파장(nm)	두께(nm)
720	8
725	10
730	17
750	22
755	25
760	30

[0058]

이상의 발광 피크 파장과, 웰층(17)의 Al 조성 X_1 및 층 두께의 관계에 기초하여, 예를 들면, 720nm~760nm의 범위 내의 원하는 발광 피크 파장이 얻어지도록, 웰층(17)의 Al 조성 X_1 과 층 두께를 결정할 수 있다.

[0059]

배리어층(18)은, $(Al_{X_2}Ga_{1-X_2})As$ ($0 < X_2 \leq 1$)의 조성을 갖고 있다. 상기 X_2 는, 발광 효율을 높이기 위해서, 웰층(17)보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하고, 결정성의 관점으로부터 Al 농도는, 낮은 쪽이 바람직하기 때문에, 0.1~0.3의 범위가 보다 바람직하다. 최적의 X_2 의 조성은 웰층의 조성과의 관계에서 결정된다.

[0060]

배리어층(18)의 층 두께는, 웰층(17)의 층 두께와 동일하거나 또는 두꺼운 것이 바람직하다. 이에 의해, 웰층(17)의 발광 효율을 높게 할 수 있다.

[0061]

웰층(17)과 배리어층(18)의 다층 구조에 있어서, 웰층(17)과 배리어층(18)을 교대로 적층하는 쌍의 수는 특별히 한정되는 것은 아니지만, 2쌍 이상 40쌍 이하인 것이 바람직하다. 즉, 발광층(11)에는, 웰층(17)이 2~40층 포함되어 있는 것이 바람직하다. 여기서, 발광층(11)의 발광 효율이 적합한 범위로서는, 웰층(17)이 5층 이상인 것이 바람직하다. 한편, 웰층(17) 및 배리어층(18)은, 캐리어 농도가 낮기 때문에, 많은 쌍으로 하면 순방향 전압(V_F)이 증대하게 된다. 이 때문에, 40쌍 이하인 것이 바람직하고, 20쌍 이하인 것이 보다 바람직하다.

[0062]

하부 가이드층(10) 및 상부 가이드층(12)은, 도 4에 도시하는 바와 같이, 발광층(11)의 하면 및 상면에 각각 형성되어 있다. 구체적으로는, 발광층(11)의 하면에 하부 가이드층(10)이 형성되고, 발광층(11)의 상면에 상부 가이드층(12)이 형성되어 있다.

[0063]

하부 가이드층(10) 및 상부 가이드층(12)은, $(Al_xGa_{1-x})As$ ($0 \leq x \leq 1$)의 조성을 갖고 있다. 상기 x 는, 배리어층(15)보다도 밴드갭이 동일하거나 또는 커지는 조성으로 하는 것이 바람직하고, 0.2~0.4의 범위가 보다 바람직하다. 결정성의 관점으로부터 최적의 x 의 조성은 웰층의 조성과의 관계에서 결정된다.

[0064]

표 3에, 웰층(17)의 층 두께 17nm일 때의 발광 피크 파장의 발광 출력을 최대로 하는 배리어층(18)과 가이드층

의 Al 조성 X1을 나타낸다. 배리어층 및 가이드층은 웰층보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하지만, 결정성을 높여서 발광 출력을 향상시키기 위해서 웰층의 조성과의 관계에서 최적의 조성이 정해진다.

표 3

[0065]

피크 파장(nm)	웰(x)	배리어(x)	가이드(x)
680	0.28	0.45	0.6
700	0.24	0.40	0.6
730	0.18	0.30	0.4
760	0.13	0.30	0.4
800	0.07	0.20	0.3
830	0.03	0.20	0.3
850	0.00	0.20	0.3

[0066]

하부 가이드층(10) 및 상부 가이드층(12)은, 각각, 하부 클래드층(9) 및 상부 클래드층(13)과 발광층(11)의 결합의 전파를 저감하기 위해서 형성되어 있다. 즉 하부 가이드층(10), 상부 가이드층(12) 및 발광층(11)의 V족 구성 원소는 비소(As)인 것에 대해, 본 발명에서는 하부 클래드층(9) 및 상부 클래드층(13)의 V족 구성 원소는 인(P)으로 하기 때문에, 계면에 있어서 결합이 생기기 쉽다. 발광층(11)에의 결합의 전파는 발광 다이오드의 성능 저하가 원인으로 된다. 이 때문에 하부 가이드층(10) 및 상부 가이드층(12)의 층 두께는 10nm 이상이 바람직하고, 20nm~100nm이 보다 바람직하다.

[0067]

하부 가이드층(10) 및 상부 가이드층(12)의 전도형은 특별히 한정되는 것은 아니고, 언도프, p형 및 n형의 어느 쪽도 선택할 수 있다. 발광 효율을 높이기 위해서는, 결정성이 양호한 언도프 또는 $3 \times 10^{17} \text{ cm}^{-3}$ 미만의 캐리어 농도로 하는 것이 바람직하다.

[0068]

하부 클래드층(9) 및 상부 클래드층(13)은, 도 4에 도시하는 바와 같이, 하부 가이드층(10)의 하면 및 상부 가이드층(12) 상면에 각각 형성되어 있다.

[0069]

하부 클래드층(9) 및 상부 클래드층(13)의 재질로서는, $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$ ($0 \leq X3 \leq 1, 0 < Y1 \leq 1$)의 반도체 재료를 이용하고, 배리어층(15)보다도 밴드갭이 큰 재질이 바람직하며, 하부 가이드층(10) 및 상부 가이드층(12)보다도 밴드갭이 큰 재질이 보다 바람직하다. 상기 재질로서는, $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$; $0 \leq X3 \leq 1, 0 < Y1 \leq 1$)의 X3이, 0.3~0.7인 조성을 갖는 것이 바람직하다. 또한, Y1은 0.4~0.6으로 하는 것이 바람직하다.

[0070]

하부 클래드층(9)과 상부 클래드층(13)은, 극성이 상이하도록 구성되어 있다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 캐리어 농도 및 두께는, 공지의 적절한 범위를 이용할 수 있고, 발광층(11)의 발광 효율이 높아 지도록 조건을 최적화하는 것이 바람직하다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 조성을 제어함으로써, 화합물 반도체층(2)의 휘어짐을 저감시킬 수 있다.

[0071]

구체적으로, 하부 클래드층(9)으로서, 예를 들면, Mg를 도프한 p형의 $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$ ($0.3 \leq X3 \leq 0.7, 0.4 \leq Y1 \leq 0.6$)로 이루어지는 반도체 재료를 이용하는 것이 바람직하다. 또한, 캐리어 농도는 $2 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 의 범위가 바람직하고, 층 두께는 0.1~1 μm 의 범위가 바람직하다.

[0072]

한편, 상부 클래드층(13)으로서, 예를 들면, Si를 도프한 n형의 $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$ ($0.3 \leq X3 \leq 0.7, 0.4 \leq Y1 \leq 0.6$)로 이루어지는 반도체 재료를 이용하는 것이 바람직하다. 또한, 캐리어 농도는 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 의 범위가 바람직하고, 층 두께는 0.1~1 μm 의 범위가 바람직하다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 조성은, 화합물 반도체층(2)의 소자 구조를 고려해서 선택할 수 있다.

[0073]

또한, 발광부(7)의 구성층의 상방에는, 오믹(Ohmik) 전극의 접촉 저항을 낮추기 위한 컨택트층, 소자 구동 전류를 발광부의 전면에 평면적으로 확산시키기 위한 전류 확산층, 반대로 소자 구동 전류가 통류하는 영역을 제한하기 위한 전류 저지층이나 전류 협착층 등 공지의 층 구조를 형성할 수 있다.

[0074]

전류 확산층(8)은, 도 4에 도시하는 바와 같이, 발광부(7)의 아래쪽에 형성되어 있다. 이 전류 확산층(8)은, GaAs 기판 상에 화합물 반도체층(2)을 에피택셜 성장시킬 때에, 활성층(11)에 의해 생긴 왜곡을 완화시키기 위해서 형성된 것이다.

- [0075] 또한, 전류 확산층(8)은, 발광부(7)(활성층(11))로부터의 발광 파장에 대하여 투명한 재료, 즉 GaP를 적용할 수 있다. 전류 확산층(8)에 GaP를 적용하는 경우, 지지 기판(3)을 GaP 기판으로 함으로써, 접합을 용이하게 하여, 높은 접합 강도를 얻을 수 있다.
- [0076] 또한, 전류 확산층(8)의 두께는 0.5~20 μ m의 범위인 것이 바람직하다. 0.5 μ m 이하이면 전류 확산이 불충분하고, 20 μ m 이상이면 그 두께까지 결정 성장시키기 위한 코스트가 증대하기 때문이다.
- [0077] 지지 기판(3)은, 화합물 반도체층(2)의 주된 광 취출면과 반대측의 면에 접합되어 있다. 즉, 지지 기판(3)은, 도 4에 도시하는 바와 같이, 화합물 반도체층(2)을 구성하는 전류 확산층(8) 측에 접합되어 있다. 이 지지 기판(3)은, 발광부(7)를 기계적으로 지지하기에 충분한 강도를 갖고, 또한, 발광부(7)로부터 출사되는 발광을 투과할 수 있고, 활성층(11)으로부터의 발광 파장에 대하여 광학적으로 투명한 재료로 구성한다. 또한, 내습성이 우수한 화학적으로 안정된 재질이 바람직하다. 예를 들면, 부식되기 쉬운 Al 등을 함유하지 않는 재질이다.
- [0078] 지지 기판(3)은, 내습성이 우수한 기판이며, 더욱 열전도가 좋은 GaP 또는 SiC, 또한, 기계 강도가 강한 사파이어로 이루어지는 것이 바람직하다.
- [0079] 또한, 지지 기판(3)은, 발광부(7)를 기계적으로 충분한 강도로 지지하기 위해서, 예를 들면 약 50 μ m 이상의 두께로 하는 것이 바람직하다. 또한, 화합물 반도체층(2)에 접합한 후에 지지 기판(3)에의 기계적인 가공을 실시하기 쉽게 하기 위해서, 약 300 μ m의 두께를 초과하지 않는 것으로 하는 것이 바람직하다. 즉, 지지 기판(3)은, 약 50 μ m 이상 약 300 μ m 이하의 두께를 갖는 투명도, 코스트면에서 n형 GaP 기판으로 구성하는 것이 최적이다.
- [0080] 또한, 도 4에 도시하는 바와 같이, 지지 기판(3)의 측면은, 화합물 반도체층(2)에 가까운 측에 있어서 주된 광 취출면에 대하여 대략 수직인 수직면(3a)으로 되어 있고, 화합물 반도체층(2)에서 먼 측에 있어서 주된 광 취출면에 대하여 내측으로 경사진 경사면(3b)으로 되어 있다. 이에 의해, 발광층(10)으로부터 지지 기판(3) 측으로 방출된 광을 효율 좋게 외부로 취출할 수 있다. 또한, 발광층(10)으로부터 지지 기판(3) 측으로 방출된 광 중, 일부는 수직면(3a)에서 반사되고 경사면(3b)에서 취출할 수 있다. 한편, 경사면(3b)에서 반사된 광은 수직면(3a)에서 취출할 수 있다. 이와 같이, 수직면(3a)과 경사면(3b)의 상승 효과에 의해, 광의 취출 효율을 높일 수 있다.
- [0081] 또한, 본 실시 형태에서는, 도 4에 도시하는 바와 같이, 경사면(3b)과 발광면에 대해 평행한 면이 이루는 각도 α 를, 55도~80 $^{\circ}$ 의 범위 내로 하는 것이 바람직하다. 이러한 범위로 함으로써, 지지 기판(3)의 바닥부에서 반사된 광을 효율 좋게 외부로 취출할 수 있다.
- [0082] 또한, 수직면(3a)의 폭(두께 방향)을, 30 μ m~100 μ m의 범위 내로 하는 것이 바람직하다. 수직면(3a)의 폭을 상기 범위 내로 함으로써, 지지 기판(3)의 바닥부에서 반사된 광을 수직면(3a)에 있어서 효율 좋게 발광면으로 되돌려 보낼 수 있고, 나아가서는, 주된 광 취출면으로부터 방출시키는 것이 가능하게 된다. 이 때문에, 발광 다이오드(1)의 발광 효율을 높일 수 있다.
- [0083] 또한, 지지 기판(3)의 경사면(3b)은, 조면화되는 것이 바람직하다. 경사면(3b)이 조면화됨으로써, 이 경사면(3b)에서의 광 취출 효율을 높이는 효과가 얻어진다. 즉, 경사면(3b)을 조면화함으로써, 경사면(3b)에서의 전 반사를 억제하여, 광 취출 효율을 높일 수 있다.
- [0084] 화합물 반도체층(2)과 지지 기판(3)의 접합 계면은, 고저항층이 되는 경우가 있다. 즉, 화합물 반도체층(2)과 지지 기판(3) 사이에는, 도시를 생략하는 고저항층이 형성되어 있는 경우가 있다. 이 고저항층은, 지지 기판(3)보다도 높은 저항값을 나타내고, 고저항층이 형성되어 있는 경우에는 화합물 반도체층(2)의 전류 확산층(8) 측으로부터 지지 기판(3) 측으로의 역방향의 전류를 저감하는 기능을 갖고 있다. 또한, 지지 기판(3) 측으로부터 전류 확산층(8) 측에 부주의하게 인가되는 역방향의 전압에 대하여 내 전압성을 발휘하는 접합 구조를 구성하고 있지만, 그 항복 전압은, pn접합형의 발광부(7)의 역방향 전압보다 저값으로 되도록 구성하는 것이 바람직하다.
- [0085] *n형 오믹 전극(4) 및 p형 오믹 전극(5)은, 발광 다이오드(1)의 주된 광 취출면에 설치된 저저항의 오믹 접촉 전극이다. 여기서, n형 오믹 전극(4)은, 상부 클래드층(11)의 상부에 설치되어 있고, 예를 들면, AuGe, Ni 합금/Au로 이루어지는 합금을 이용할 수 있다. 한편, p형 오믹 전극(5)은, 도 4에 도시하는 바와 같이, 노출시킨 전류 확산층(8)의 표면에 AuBe/Au, 또는 AuZn/Au로 이루어지는 합금을 이용할 수 있다.
- [0086] 여기서, 본 실시 형태의 발광 다이오드(1)에서는, 제2 전극으로서 p형 오믹 전극(5)을, 전류 확산층(8) 상에 형성하는 것이 바람직하다. 이러한 구성으로 함으로써, 작동 전압을 낮추는 효과가 얻어진다. 또한, p형 오믹

전극(5)을 p형 GaP로 이루어지는 전류 확산층(8) 상에 형성함으로써, 양호한 오믹 콘택트가 얻어지기 때문에, 작동 전압을 낮출 수 있다.

[0087] 또한, 본 실시 형태에서는, 제1 전극의 극성을 n형으로 하고, 제2 전극의 극성을 p형으로 하는 것이 바람직하다. 이러한 구성으로 함으로써, 발광 다이오드(1)의 고휘도화를 달성할 수 있다. 한편, 제1 전극을 p형으로 하면, 전류 확산이 나빠져, 휘도의 저하를 초래한다. 이것에 대하여, 제1 전극을 n형으로 함으로써, 전류 확산이 좋아져, 발광 다이오드(1)의 고휘도화를 달성할 수 있다.

[0088] 본 실시 형태의 발광 다이오드(1)에서는, 도 3에 도시하는 바와 같이, n형 오믹 전극(4)과 p형 오믹 전극(5)이 대각의 위치로 되도록 배치하는 것이 바람직하다. 또한, p형 오믹 전극(5)의 주위를, 화합물 반도체층(2)으로 둘러싼 구성으로 하는 것이 가장 바람직하다. 이러한 구성으로 함으로써, 작동 전압을 낮추는 효과가 얻어진다. 또한, p형 오믹 전극(5)의 사방을 n형 오믹 전극(4)으로 둘러싸는 것에 의해, 전류가 사방에 흐르기 쉬워지고, 그 결과 작동 전압이 저하한다.

[0089] 또한, 본 실시 형태의 발광 다이오드(1)에서는, 도 3에 도시하는 바와 같이, n형 오믹 전극(4)을, 벌집형, 격자형상 등 메쉬로 하는 것이 바람직하다. 이러한 구성으로 함으로써, 신뢰성을 향상시키는 효과가 얻어진다. 또한, 격자형상으로 함으로써, 발광층(10)에 균일하게 전류를 주입할 수 있고, 그 결과, 신뢰성을 향상시키는 효과가 얻어진다. 또한, 본 실시 형태의 발광 다이오드(1)에서는, n형 오믹 전극(4)을, 패드 형상의 전극(패드 전극)과 폭 10 μ m 이하의 선 형상의 전극(선 형상 전극)으로 구성하는 것이 바람직하다. 이러한 구성으로 함으로써, 고휘도화를 도모할 수 있다. 또한, 선 형상 전극의 폭을 좁게 함으로써, 광 추출면의 개구 면적을 넓힐 수 있어, 고휘도화를 달성할 수 있다.

[0090] <발광 다이오드의 제조 방법>

[0091] 다음으로, 본 실시 형태의 발광 다이오드(1)의 제조 방법에 대해서 설명한다. 도 6은, 본 실시 형태의 발광 다이오드(1)에 이용하는 에피 웨이퍼의 단면도이다. 또한, 도 7은, 본 실시 형태의 발광 다이오드(1)에 이용하는 접합 웨이퍼의 단면도이다.

[0092] (화합물 반도체층의 형성 공정)

[0093] 우선, 도 6에 도시하는 바와 같이, 화합물 반도체층(2)을 제작한다. 화합물 반도체층(2)은, GaAs 기판(14) 상에, GaAs로 이루어지는 완충층(15), 선택 에칭에 이용하기 위해서 형성된 에칭 스톱층(도시 생략), Si를 도프한 n형의 AlGaAs로 이루어지는 콘택트층(16), n형의 상부 클래드층(13), 상부 가이드층(12), 발광층(11), 하부 가이드층(10), p형의 하부 클래드층(9), Mg 도프한 p형 GaP로 이루어지는 전류 확산층(8)을 순차적으로 적층해서 제작한다.

[0094] GaAs 기판(14)은, 공지의 제법으로 제작된 시판품의 단결정 기판을 사용할 수 있다. GaAs 기판(14)의 에피택셜 성장시키는 표면은, 평활한 것이 바람직하다. GaAs 기판(14)의 표면의 면방위는, 에피 성장하기 쉽고, 양산되어 있는 (100)면 및 (100)으로부터, $\pm 20^\circ$ 이내로 오픈한 기판이, 품질의 안정성의 면으로부터 바람직하다. 또한, GaAs 기판(14)의 면방위의 범위가, (100)방향으로부터 (0-1-1)방향으로 15° 오픈 $\pm 5^\circ$ 인 것이 보다 바람직하다.

[0095] GaAs 기판(14)의 전위 밀도는, 화합물 반도체층(2)의 결정성을 좋게 하기 위해서 낮은 쪽이 바람직하다. 구체적으로는, 예를 들면, 10,000개 cm^{-2} 이하, 바람직하게는, 1,000개 cm^{-2} 이하인 것이 적절하다.

[0096] GaAs 기판(14)은, n형이어도 p형이어도 된다. GaAs 기판(14)의 캐리어 농도는, 원하는 전기 전도도와 소자 구조로부터, 적절히 선택할 수 있다. 예를 들면, GaAs 기판(14)이 실리콘 도프의 n형인 경우에는, 캐리어 농도가 $1 \times 10^{17} \sim 5 \times 10^{18} \text{cm}^{-3}$ 의 범위인 것이 바람직하다. 이것에 대하여, GaAs 기판(14)이 아연을 도프한 p형인 경우에는, 캐리어 농도 $2 \times 10^{18} \sim 5 \times 10^{19} \text{cm}^{-3}$ 의 범위인 것이 바람직하다.

[0097] GaAs 기판(14)의 두께는, 기판의 사이즈에 따라서 적절한 범위가 있다. GaAs 기판(14)의 두께가 적절한 범위보다도 얇으면, 화합물 반도체층(2)의 제조 프로세스 중에 균열될 우려가 있다. 한편, GaAs 기판(14)의 두께가 적절한 범위보다도 두꺼우면 재료 코스트가 증가하게 된다. 이 때문에, GaAs 기판(14)의 기판 사이즈가 큰 경우, 예를 들면, 직경 75mm의 경우에는, 핸들링 시의 균열을 방지하기 위해서 250~500 μ m의 두께가 바람직하다. 마찬가지로, 직경 50mm의 경우에는, 200~400 μ m의 두께가 바람직하고, 직경 100mm의 경우에는, 350~600 μ m의 두께가 바람직하다.

- [0098] 이와 같이, GaAs 기판(14)의 기판 사이즈에 따라서 기판의 두께를 두껍게 함으로써, 발광층(7)에 기인하는 화합물 반도체층(2)의 휘어짐을 저감할 수 있다. 이에 의해, 에피택셜 성장 중의 온도 분포가 균일하게 되는 것 때문에, 발광층(10)의 면 내의 파장 분포를 작게 할 수 있다. 또한, GaAs 기판(14)의 형상은, 특별히 원형에 한정되지 않고, 직사각형 등이어도 문제 없다.
- [0099] 완충층(buffer)(15)은, GaAs 기판(14)과 발광부(7)의 구성층의 결합의 전파를 저감하기 위해서 형성되어 있다. 이 때문에, 기판의 품질이나 에피택셜 성장 조건을 선택하면, 완충층(15)은, 반드시 필요한 것은 아니다. 또한, 완충층(15)의 재질은, 에피택셜 성장시키는 기판과 동일한 재질로 하는 것이 바람직하다. 따라서, 본 실시 형태에서는, 완충층(15)에는, GaAs 기판(14)과 동일하게 GaAs를 이용하는 것이 바람직하다. 또한, 완충층(15)에는, 결합의 전파를 저감하기 위해서 GaAs 기판(14)과 상이한 재질로 이루어지는 다층막을 이용할 수도 있다. 완충층(15)의 두께는, 0.1 μ m 이상으로 하는 것이 바람직하고, 0.2 μ m 이상으로 하는 것이 보다 바람직하다.
- [0100] 컨택트층(16)은, 전극과의 접촉 저항을 저하시키기 위해서 형성되어 있다. 컨택트층(16)의 재질은, 발광층(12)보다 밴드갭이 큰 재질인 것이 바람직하고, $Al_xGa_{1-x}As$, $(Al_xGa_{1-x})_yIn_{1-y}P$ ($0 \leq x \leq 1$, $0 < y \leq 1$)가 적절하다. 또한, 컨택트층(16)의 캐리어 농도의 하한값은, 전극과의 접촉 저항을 저하시키기 위해서 $5 \times 10^{17} \text{ cm}^{-3}$ 이상인 것이 바람직하고, $1 \times 10^{18} \text{ cm}^{-3}$ 이상이 보다 바람직하다. 캐리어 농도의 상한값은, 결정성의 저하가 일어나기 쉬워지는 $2 \times 10^{19} \text{ cm}^{-3}$ 이하가 바람직하다. 컨택트층(16)의 두께는, 0.5 μ m 이상이 바람직하고, 1 μ m 이상이 최적이다. 컨택트층(16)의 두께의 상한값은 특별히 한정되어 있지는 않지만, 에피택셜 성장에 따른 코스트를 적정 범위로 하기 위해서, 5 μ m 이하로 하는 것이 바람직하다.
- [0101] 본 실시 형태에서는, 분자선 에피택셜법(MBE)이나 감압 유기 금속 화학 기상 퇴적법(MOCVD법) 등의 공지의 성장 방법을 적용할 수 있다. 그중에서도, 양산성이 우수한 MOCVD법을 적용하는 것이 가장 바람직하다. 구체적으로는, 화합물 반도체층(2)의 에피택셜 성장에 사용하는 GaAs 기판(14)은, 성장 전에 세정 공정이나 열처리 등의 전처리를 실시하여, 표면의 오염이나 자연 산화막을 제거하는 것이 바람직하다. 상기 화합물 반도체층(2)을 구성하는 각 층은, 직경 50~150mm의 GaAs 기판(14)을 MOCVD 장치 내에 세트하고, 동시에 에피택셜 성장시켜 적층할 수 있다. 또한, MOCVD 장치로서는, 자전·공전형(rotation/revolution type), 고속 회전형 등의 시판 중인 대형 장치를 적용할 수 있다.
- [0102] 상기 화합물 반도체층(2)의 각 층을 에피택셜 성장할 때, III족 구성 원소의 원료로서는, 예를 들면, 트리메틸알루미늄($(CH_3)_3Al$), 트리메틸 갈륨($(CH_3)_3Ga$) 및 트리메틸 인듐($(CH_3)_3In$)을 이용할 수 있다. 또한, Mg의 도핑 원료로서는, 예를 들면, 비스키클로펜타디에닐 마그네슘($bis-(C_5H_5)_2Mg$) 등을 이용할 수 있다. 또한, Si의 도핑 원료로서는, 예를 들면, 디실란(Si_2H_6) 등을 이용할 수 있다. 또한, V족 구성 원소의 원료로서는, 포스핀(PH_3), 아루신(AsH_3) 등을 이용할 수 있다. 또한, 각 층의 성장 온도로서는, 전류 확산층(8)으로서 p형 GaP를 이용하는 경우에는, 720~770 $^{\circ}C$ 를 적용할 수 있고, 그 이외의 각 층에서는 600~700 $^{\circ}C$ 를 적용할 수 있다. 또한, 각 층의 캐리어 농도 및 층 두께, 온도 조건은, 적절히 선택할 수 있다.
- [0103] 이와 같이 하여 제조한 화합물 반도체층(2)은, 발광층(7)을 갖고 있음에도 불구하고 결정 결함이 적은 양호한 표면 상태가 얻어진다. 또한, 화합물 반도체층(2)은, 소자 구조에 대응해서 연마 등의 표면 가공을 실시해오 된다.
- [0104] (지지 기판의 접합 공정)
- [0105] 다음으로, 화합물 반도체층(2)과 지지 기판(3)을 접합한다. 화합물 반도체층(2)과 지지 기판(3)의 접합은, 우선 화합물 반도체층(2)을 구성하는 전류 확산층(8)의 표면을 연마하여, 경면 가공한다. 다음으로, 이 전류 확산층(8)의 경면 연마한 표면에 접착하는 지지 기판(3)을 준비한다. 또한, 이 지지 기판(3)의 표면은, 전류 확산층(8)에 접합시키기 이전에 경면으로 연마한다. 다음으로, 일반적인 반도체 재료 접착 장치에, 화합물 반도체층(2)과 지지 기판(3)을 반입하고, 진공 중에서 경면 연마한 쌍방의 표면에 전자를 충돌시켜 중성(뉴트럴)화한 Ar 빔을 조사한다. 그 후, 진공을 유지한 접착 장치 내에서 쌍방의 표면을 서로 겹쳐서 하중을 가함으로써, 실온에서 접합할 수 있다(도 7 참조). 접합에 관해서는, 접합 조건의 안정성으로부터, 접합면이 동일한 재질인 보다 바람직하다.
- [0106] 접합(접착)은 이러한 진공하에서의 상온 접합이 최적이지만, 공정 금속, 접착제를 이용하여 접합할 수도 있다.

- [0107] (제1 및 제2 전극의 형성 공정)
- [0108] 다음으로, 제1 전극인 n형 오믹 전극(4) 및 제2 전극인 p형 오믹 전극(5)을 형성한다. n형 오믹 전극(4) 및 p형 오믹 전극(5)의 형성은, 우선 지지 기판(3)과 접합한 화합물 반도체층(2)으로부터, GaAs 기판(14) 및 완충층(15)을 암모니아계 에칭트에 의해 선택적으로 제거한다. 다음으로, 노출된 콘택트층(16)의 표면에 n형 오믹 전극(4)을 형성한다. 구체적으로는, 예를 들면, AuGe, Ni 합금/Pt/Au를 임의의 두께로 되도록 진공 증착법에 의해 적층한 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 행하여 n형 오믹 전극(4)의 형상을 형성한다.
- [0109] 다음으로, 콘택트층(16), 상부 클래드층(13), 상부 가이드층(12), 발광층(11), 하부 가이드층(10), p형의 하부 클래드층(9)을 선택적으로 제거해서 전류 확산층(8)을 노출시키고, 이 노출된 전류 확산층(8)의 표면에 p형 오믹 전극(5)을 형성한다. 구체적으로는, 예를 들면, AuBe/Au를 임의의 두께로 되도록 진공 증착법에 의해 적층한 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 행하여 p형 오믹 전극(5)의 형상을 형성한다. 그 후, 예를 들면 400~500℃, 5~20분간의 조건에서 열처리를 행하여 합금화함으로써, 저저항의 n형 오믹 전극(4) 및 p형 오믹 전극(5)을 형성할 수 있다.
- [0110] (지지 기판의 가공 공정)
- [0111] 다음으로, 지지 기판(3)의 형상을 가공한다. 지지 기판(3)의 가공은, 우선 제3 전극(6)을 형성하고 있지 않은 표면에 V자 형상의 홈 파기를 행한다. 이 때, V자 형상의 홈의 제3 전극(6) 측의 내측면이 발광면에 대해 평행한 면과 이루는 각도 α 를 갖는 경사면(3b)이 된다. 다음으로, 화합물 반도체층(2) 측으로부터 소정의 간격으로 다이싱을 행하여 칩화한다. 또한, 칩화 시의 다이싱에 의해 지지 기판(3)의 수직면(3a)이 형성된다.
- [0112] 경사면(3b)의 형성 방법은, 특별히 한정되는 것은 아니고, 웨트 에칭, 드라이 에칭, 스크라이브법, 레이저 가공 등의 종래부터의 방법을 조합해서 이용할 수 있지만, 형상의 제어성 및 생산성이 높은 다이싱법을 적용하는 것이 가장 바람직하다. 다이싱법을 적용하는 것에 의해, 제조 수율을 향상할 수 있다.
- [0113] 또한, 수직면(3a)의 형성 방법은, 특별히 한정되는 것은 아니지만, 레이저 가공, 스크라이브·브레이크법 또는 다이싱법으로 형성하는 것이 바람직하다. 레이저 가공, 스크라이브·브레이크법을 채용함으로써, 제조 코스트를 저하시킬 수 있다. 즉, 칩 분리 시에 절단 마진을 설정할 필요 없이, 수많은 발광 다이오드를 제조할 수 있기 때문에 제조 코스트를 낮출 수 있다. 한편, 다이싱법에서는, 절단의 안정성이 우수하다.
- [0114] 마지막으로, 파쇄층 및 오염을 필요에 따라서 황산·과산화수소 혼합액 등으로 에칭 제거한다. 이와 같이 하여 발광 다이오드(1)를 제조한다.
- [0115] <발광 다이오드 램프의 제조 방법>
- [0116] 다음으로, 상기 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)의 제조 방법, 즉, 발광 다이오드(1)의 실장 방법에 대해서 설명한다.
- [0117] 도 1 및 도 2에 도시하는 바와 같이, 마운트 기판(42)의 표면에 소정의 수량의 발광 다이오드(1)를 실장한다. 발광 다이오드(1)의 실장은, 우선 마운트 기판(42)과 발광 다이오드(1)의 위치 정렬을 행하고, 마운트 기판(42)의 표면의 소정의 위치에 발광 다이오드(1)를 배치한다. 다음으로, Ag 페이스트로 다이본드하고, 발광 다이오드(1)가 마운트 기판(42)의 표면에 고정된다. 다음으로, 발광 다이오드(1)의 n형 오믹 전극(4)과 마운트 기판(42)의 n전극 단자(43)를 금선(45)을 이용하여 접속한다(와이어 본딩). 다음으로, 발광 다이오드(1)의 p형 오믹 전극(5)과 마운트 기판(42)의 p전극 단자(44)를 금선(46)을 이용하여 접속한다. 마지막으로, 마운트 기판(42)의 발광 다이오드(1)가 실장된 표면을, 일반적인 에폭시 수지(47)에 의해 밀봉한다. 이와 같이 하여, 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)를 제조한다.
- [0118] 또한, 발광 다이오드 램프(41)의 발광 스펙트럼은, 활성층(11)의 조성을 조정하는 것에 의해, 예를 들면, 피크 발광 파장을 720~760nm의 범위로 할 수 있다. 또한, 전류 확산층(8)에 의해 웰층(17) 및 배리어층(18)의 발광층(11) 내의 변동이 억제되어 있기 때문에, 발광 스펙트럼의 반값 폭이, 10~40nm의 범위가 된다.
- [0119] 이상 설명한 바와 같이, 본 실시 형태의 발광 다이오드(1)에 따르면, 조성식 $(Al_xGa_{1-x})As$ ($0 \leq x \leq 0.36$)로 이루어지는 웰층(17)을 갖는 발광부(7)를 포함하는 화합물 반도체층(2)을 구비하고 있다.
- [0120] 또한, 본 실시 형태의 발광 다이오드(1)에는, 발광부(7) 상에 전류 확산층(8)이 형성되어 있다. 이 전류 확산층(8)은, 발광 파장에 대하여 투명하기 때문에, 발광부(7)로부터의 발광을 흡수하지 않고 고효율·고출력의 발

광 다이오드(1)로 할 수 있다. 지지 기관은, 재질적으로 안정하고, 부식의 걱정이 없고 내습성이 우수하다.

- [0121] 따라서, 본 실시 형태의 발광 다이오드(1)에 따르면, 예를 들면, 720nm~760nm의 범위의 발광 파장을 갖고, 단색성이 우수함과 함께, 고효율·고출력이며 내습성인 발광 다이오드(1)를 제공할 수 있다. 또한, 본 실시 형태의 발광 다이오드(1)에 따르면, 종래의 액상 에피택셜법으로 제작한 투명 기관형 AlGaAs계의 발광 다이오드와 비교하여, 약 1.5배 이상의 발광 효율을 갖는 고효율 발광 다이오드(1)를 제공할 수 있다. 또한, 고온 고습 신뢰성도 향상하였다.
- [0122] 또한, 본 실시 형태의 발광 다이오드 램프(41)에 따르면, 약 730nm의 발광 파장을 갖고, 단색성이 우수함과 함께, 고효율·고출력이며 내습성인 상기 발광 다이오드(1)를 구비하고 있다. 이 때문에, 식물 육성용의 조명에 적합한 발광 다이오드 램프(41)를 제공할 수 있다.
- [0123] <발광 다이오드(제2 실시 형태)>
- [0124] 본 발명을 적용한 제2 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 1$)로 이루어지는 웰층과, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P$ ($0 \leq X4 \leq 1$, $0 < Y2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 전류 확산층에 접합된 지지 기관을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$ ($0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)로 이루어지는 것을 특징으로 한다.
- [0125] 제1 실시 형태에 따른 발광 다이오드에 있어서의 AlGaAs 배리어층(18)을, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P$ ($0 \leq X4 \leq 1$, $0 < Y2 \leq 1$)로 이루어지는 배리어층으로 한 점이 제1 실시 형태에 따른 발광 다이오드와 상이하다.
- [0126] 상기 X3은, 발광 효율을 높이기 위해서, 웰층(17)보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하고, 결정성의 관점으로부터 Al 농도는, 낮은 쪽이 바람직하기 때문에, X3은 0.3~0.7, Y2는 0.4~0.6의 범위가 보다 바람직하다. 최적인 X3, Y2의 조성은 웰층의 조성과의 관계에서 결정된다.
- [0127] <발광 다이오드(제3 실시 형태)>
- [0128] 도 8(a) 및 (b)는, 본 발명을 적용한 제3 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면으로서, 도 8(a)은 평면도, 도 8(b)는 도 8(a) 중에 도시하는 C-C' 선을 따른 단면도이다.
- [0129] 제3 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 1$)로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 < X2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층(11)과, 활성층을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부와, 발광부 상에 형성된 전류 확산층(8)과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층(23)을 포함하고, 전류 확산층(8)에 접합된 지지 기관(31)을 구비하고, 제1 및 제2 클래드층(9, 13)이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$ ($0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)로 이루어지는 것을 특징으로 한다.
- [0130] 제3 실시 형태에 따른 발광 다이오드에서는, 발광 파장에 대하여 90% 이상의 반사율을 갖고, 발광부에 대향해서 배치하는 반사층(23)을 구비한 지지 기관(30)을 가지므로, 주된 광 취출면으로부터 효율적으로 광을 취출할 수 있다.
- [0131] 도 8에 도시한 예에서는, 지지 기관(31)은, 전류 확산층(8)의 하측의 면(8b)에, 제2 전극(21)을 구비하고, 또한 그 제2 전극(8)을 피복하도록 투명 도전막(22)과 반사층(23)이 적층되어 이루어지는 반사 구조체와, 실리콘 또는 게르마늄으로 이루어지는 층(기관)(30)을 구비하고 있다.
- [0132] 제3 실시 형태에 따른 발광 다이오드에 있어서는, 지지 기관(31)은 실리콘 또는 게르마늄으로 이루어지는 층을 포함하는 것이 바람직하다. 부식되기 어려운 재질이기에 때문에, 내습성이 향상하기 때문이다.
- [0133] 반사층(23)은 예를 들면, 은(Ag), 알루미늄(Al), 금(Au) 또는 이들의 합금 등에 의해 구성된다. 이들 재료는 광 반사율이 높아, 반사층(23)으로부터의 광 반사율을 90% 이상으로 할 수 있다.
- [0134] 지지 기관(31)은, 이 반사층(23)에, AuIn, AuGe, AuSn 등의 공정 금속으로, 실리콘, 게르마늄 등의 저렴한 기관(층)에 접합하는 조합을 이용할 수 있다. 특히 AuIn은, 접합 온도가 낮아, 열팽창 계수가 발광부와 차이가 있지만, 가장 저렴한 실리콘 기관(실리콘층)을 접합하기 위해서는 최적인 조합이다.

- [0135] 지지 기판(31)은 또한, 전류 확산층, 반사층 금속 및 공정 금속이 상호 확산되지 않도록, 예를 들면, 티타늄(Ti), 텅스텐(W), 백금(Pt) 등의 고용점 금속으로 이루어지는 층이 삽입된 구성으로 하는 것도 품질의 안정성으로부터 바람직하다.
- [0136] <발광 다이오드(제4 실시 형태)>
- [0137] 도 9는, 본 발명을 적용한 제4 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면이다.
- [0138] 본 발명을 적용한 제4 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 1$)로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 < X2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층(11)과, 이 활성층을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부와, 발광부 상에 형성된 전류 확산층(8)과, 발광부에 대향해서 배치해서 발광 과정에 대하여 90% 이상의 반사율을 갖는 반사층(53)과 금속 기판(50)을 포함하고, 전류 확산층(8)에 접합된 지지 기판(51)을 구비하고, 제1 및 제2 클래드층(9, 13)을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$ ($0 \leq X3 \leq 1, 0 < Y1 \leq 1$)로 이루어지는 것을 특징으로 한다.
- [0139] 제4 실시 형태에 따른 발광 다이오드에서는, 지지 기판이 금속 기판을 포함하는 점이 제3 실시 형태에 따른 발광 다이오드에 대하여 특징적인 구성이다.
- [0140] 금속 기판은 방열성이 높아, 발광 다이오드를 고휘도로 발광하는 데에 기여함과 함께, 발광 다이오드의 수명을 장수명으로 할 수 있다.
- [0141] 방열성의 관점으로부터는, 금속 기판은 열 전도율이 $130W/m \cdot K$ 이상인 금속으로 이루어지는 것이 특히 바람직하다. 열 전도율이 $130W/m \cdot K$ 이상인 금속으로서는, 예를 들면, 몰리브덴($138W/m \cdot K$)이나 텅스텐($174W/m \cdot K$)이 있다.
- [0142] 도 9에 도시하는 바와 같이, 화합물 반도체층(2)은, 활성층(11)과, 가이드층(도시 생략)을 개재해서 그 활성층(11)을 사이에 끼우는 제1 클래드층(하부 클래드)(9) 및 제2 클래드층(상부 클래드)(13)과, 제1 클래드층(하부 클래드)(9)의 하측에 전류 확산층(8)과, 제2 클래드층(상부 클래드)(13)의 상측에 제1 전극(55)과 평면에서 보아 대략 동일한 사이즈의 콘택트층(56)을 갖는다.
- [0143] 지지 기판(51)은, 전류 확산층(8)의 하측의 면(8b)에, 제2 전극(57)을 구비하고, 또한 그 제2 전극(57)을 피복하도록 투명 도전막(52)과 반사층(53)이 적층되어 이루어지는 반사 구조체와, 금속 기판(50)으로 이루어지고, 반사 구조체를 구성하는 반사층(53)의 화합물 반도체층(2)과 반대측의 면(53b)에, 금속 기판(50)의 접합면(50a)이 접합되어 있다.
- [0144] 반사층(53)은 예를 들면, 구리, 은, 금, 알루미늄 등의 금속 또는 이들의 합금 등에 의해 구성된다. 이들 재료는 광 반사율이 높아, 반사 구조체로부터의 광 반사율을 90% 이상으로 할 수 있다. 반사층(53)을 형성하는 것에 의해, 활성층(11)으로부터의 광을 반사층(53)에서 정면 방향 f로 반사시켜, 정면 방향 f에서의 광 취출 효율을 향상시킬 수 있다. 이에 의해, 발광 다이오드를 보다 고휘도화할 수 있다.
- [0145] 반사층(53)은, 투명 도전막(52) 측으로부터 Ag, Ni/Ti 배리어층, Au계의 공정 금속(접속용 금속)으로 이루어지는 적층 구조가 바람직하다.
- [0146] 상기 접속용 금속은, 전기 저항이 낮고, 저온에서 용융하는 금속이다. 상기 접속용 금속을 이용함으로써, 화합물 반도체층(2)에 열 스트레스를 부여하는 일없이, 금속 기판을 접속할 수 있다.
- [0147] 접속용 금속으로서는, 화학적으로 안정하고, 용점이 낮은 Au계의 공정 금속 등이 이용된다. 상기 Au계의 공정 금속으로서는, 예를 들면, AuSn, AuGe, AuSi 등의 합금의 공정 조성(Au계의 공정 금속)을 들 수 있다.
- [0148] 또한, 접속용 금속에는, 티타늄, 크롬, 텅스텐 등의 금속을 첨가하는 것이 바람직하다. 이에 의해, 티타늄, 크롬, 텅스텐 등의 금속이 배리어 금속으로서 기능하고, 금속 기판에 포함되는 불순물 등이 반사층(53) 측으로 확산하여, 반응하는 것을 억제할 수 있다.
- [0149] 투명 도전막(52)은, ITO막, IZO막 등에 의해 구성되어 있다. 또한, 반사 구조체는, 반사층(53)만으로 구성해도 된다.
- [0150] 또한, 투명 도전막(52) 대신에, 또는, 투명 도전막(52)과 함께, 투명한 재료의 굴절률차를 이용한 소위 콜드 미러, 예를 들면, 산화 타타늄막, 산화 규소막의 다층막이나 백색의 알루미늄, AlN을 이용하여, 반사층(53)에 조

합해도 된다.

- [0151] 금속 기관(50)은 복수의 금속층으로 이루어지는 것을 이용할 수 있다.
- [0152] 금속 기관은 2종류의 금속층이 교대로 적층되어 이루어지는 것이 바람직하다.
- [0153] 특히, 이 2종류의 금속층의 층수는 합해서 홀수로 하는 것이 바람직하다.
- [0154] 이 경우, 금속 기관의 휘어짐이나 균열의 관점으로부터, 제2 금속층(50B)으로서 화합물 반도체층(2)보다 열팽창 계수가 작은 재료를 이용할 때에는, 제1 금속층(50A, 50A)을 화합물 반도체층(3)보다 열팽창 계수가 큰 재료로 이루어지는 것을 이용하는 것이 바람직하다. 금속 기관 전체로서의 열팽창 계수가 화합물 반도체층의 열팽창 계수에 가까운 것으로 되기 때문에, 화합물 반도체층과 금속 기관을 접합할 때의 금속 기관의 휘어짐이나 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있기 때문이다. 마찬가지로, 제2 금속층(50B)으로서 화합물 반도체층(2)보다 열팽창 계수가 큰 재료를 이용할 때에는, 제1 금속층(50A, 50A)을 화합물 반도체층(2)보다 열팽창 계수가 작은 재료로 이루어지는 것을 이용하는 것이 바람직하다. 금속 기관 전체로서의 열팽창 계수가 화합물 반도체층의 열팽창 계수에 가까운 것으로 되기 때문에, 화합물 반도체층과 금속 기관을 접합할 때의 금속 기관의 휘어짐이나 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있기 때문이다.
- [0155] 이상의 관점으로부터는, 2종류의 금속층은 어느 쪽이 제1 금속층이든 제2 금속층이든 상관없다.
- [0156] 2종류의 금속층으로서는, 예를 들면, 은(열팽창 계수=18.9ppm/K), 구리(열팽창 계수=16.5ppm/K), 금(열팽창 계수=14.2ppm/K), 알루미늄(열팽창 계수=23.1ppm/K), 니켈(열팽창 계수=13.4ppm/K) 및 이들의 합금 중 어느 하나로 이루어지는 금속층과, 몰리브덴(열팽창 계수=5.1ppm/K), 텅스텐(열팽창 계수=4.3ppm/K), 크롬(열팽창 계수=4.9ppm/K) 및 이들의 합금 중 어느 하나로 이루어지는 금속층의 조합을 이용할 수 있다.
- [0157] 적합한 예로서는, Cu/Mo/Cu의 3층으로 이루어지는 금속 기관을 들 수 있다. 상기한 관점에서는 Mo/Cu/Mo의 3층으로 이루어지는 금속 기관이라도 마찬가지로의 효과가 얻어지지만, Cu/Mo/Cu의 3층으로 이루어지는 금속 기관은, 기계적 강도가 높은 Mo를 가공하기 쉬운 Cu 사이에 끼운 구성이므로, Mo/Cu/Mo의 3층으로 이루어지는 금속 기관보다도 절단 등의 가공이 용이하다고 하는 이점이 있다.
- [0158] 금속 기관 전체로서의 열팽창 계수는 예를 들면, Cu(30 μ m)/Mo(25 μ m)/Cu(30 μ m)의 3층으로 이루어지는 금속 기관에서는 6.1ppm/K이며, Mo(25 μ m)/Cu(70 μ m)/Mo(25 μ m)의 3층으로 이루어지는 금속 기관에서는 5.7ppm/K가 된다.
- [0159] 또한, 방열의 관점으로부터는, 금속 기관을 구성하는 금속층은 열 전도율이 높은 재료로 이루어지는 것이 바람직하다. 이에 의해, 금속 기관의 방열성을 높게 해서, 발광 다이오드를 고휘도로 발광시킬 수 있음과 함께, 발광 다이오드의 수명을 장수명으로 할 수 있기 때문이다.
- [0160] 예를 들면, 은(열 전도율=420W/m·K), 구리(열 전도율=398W/m·K), 금(열 전도율=320W/m·K), 알루미늄(열 전도율=236W/m·K), 몰리브덴(열 전도율=138W/m·K), 텅스텐(열 전도율=174W/m·K) 및 이들의 합금 등을 이용하는 것이 바람직하다.
- [0161] 그들의 금속층의 열팽창 계수가 화합물 반도체층의 열팽창 계수와 대략 동일한 재료로 이루어지는 것이 보다 바람직하다. 특히, 금속층의 재료가, 화합물 반도체층의 열팽창 계수의 ± 1.5 ppm/K 이내인 열팽창 계수를 갖는 재료인 것이 바람직하다. 이에 의해, 금속 기관과 화합물 반도체층의 접합시의 발광부위의 열에 의한 스트레스를 작게 할 수 있고, 금속 기관을 화합물 반도체층과 접속시켰을 때의 열에 의한 금속 기관의 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있다.
- [0162] 금속 기관 전체로서의 열 전도율은 예를 들면, Cu(30 μ m)/Mo(25 μ m)/Cu(30 μ m)의 3층으로 이루어지는 금속 기관에서는 250W/m·K가 되고, Mo(25 μ m)/Cu(70 μ m)/Mo(25 μ m)의 3층으로 이루어지는 금속 기관에서는 220W/m·K가 된다.
- [0163] <발광 다이오드(제5 실시 형태)>
- [0164] 제5 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 1$)로 이루어지는 웰층과, 조성식 $(Al_{X3}Ga_{1-X3})_{Y2}In_{1-Y2}P$ ($0 \leq X3 \leq 1$, $0 < Y2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 전류 확산층에 접합된 지지

기관을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{X2}Ga_{1-X2})_{Y1}In_{1-Y1}P; 0 \leq X2 \leq 1, 0 < Y1 \leq 1$ 로 이루어지는 것을 특징으로 한다.

[0165] 본 실시 형태에 있어서도, 지지 기관으로서, 제3 실시 형태 및 제4 실시 형태에서 예시한 것을 이용할 수 있다.

[0166] <발광 다이오드(제6 실시 형태)>

[0167] 도 3 및 도 4는, 본 발명을 적용한 제6 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면으로서, 도 3은 평면도, 도 4는 도 3 중에 도시하는 B-B' 선을 따른 단면도이다. 또한, 도 5는 적층 구조의 단면도이다.

[0168] 제6 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As(0.20 \leq X1 \leq 0.36)$ 로 이루어지는 웰층(17)과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 로 이루어지는 배리어층(18)을 교대로 적층한 양자웰 구조의 활성층(11)과, 이 활성층(11)을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부(7)와, 상기 발광부(7) 상에 형성된 전류 확산층(8)과, 상기 전류 확산층(8)에 접합된 지지 기관(3)을 구비하고, 상기 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P; 0 \leq X3 \leq 1, 0 < Y1 \leq 1$ 로 이루어지는 것으로 하고, 상기 웰층(17)의 두께를 3~30nm로 해서 발광 파장을 660~720nm로 설정한 것을 특징으로 하는 것이다.

[0169] 또한, 본 실시 형태에 있어서의 주된 광 추출면이란, 화합물 반도체층(2)에 있어서, 지지 기관(3)을 접착한 면의 반대측의 면이다.

[0170] 화합물 반도체층(에피택셜 성장층이라고도 함)(2)은, 도 4에 도시하는 바와 같이, pn접합형의 발광부(7)와 전류 확산층(8)이 순차적으로 적층된 구조를 갖고 있다. 이 화합물 반도체층(2)의 구조에는, 공지의 기능층을 적시에 추가할 수 있다. 예를 들면, 옴(Ohmic) 전극의 접촉 저항을 낮추기 위한 콘택트층, 소자 구동 전류를 발광부의 전반에 평면적으로 확산시키기 위한 전류 확산층, 반대로 소자 구동 전류가 통류하는 영역을 제한하기 위한 전류 저지층이나 전류 협착층 등 공지의 층 구조를 형성할 수 있다. 또한, 화합물 반도체층(2)은, GaAs 기관 상에 에피택셜 성장시켜 형성된 것인 것이 바람직하다.

[0171] 발광부(7)는, 도 4에 도시하는 바와 같이, 전류 확산층(8) 상에, 적어도 p형의 하부 클래드층(제1 클래드층)(9), 하부 가이드층(10), 활성층(11), 상부 가이드층(12), n형의 상부 클래드층(제2 클래드층)(13)이 순차적으로 적층되어 구성되어 있다. 즉, 발광부(7)는, 방사 재결합을 가져오는 캐리어(담체;carrier) 및 발광을 활성층(11)에 「감금하기」 위해서, 활성층(11)의 하측 및 상측에 대치해서 배치한 하부 클래드층(9), 하부 가이드층(guide)층(10), 및 상부 가이드층(12), 상부 클래드층(13)을 포함하는, 소위, 더블 헤테로(영약칭:DH) 구조로 하는 것이 고강도의 발광을 얻는 데에 있어서 바람직하다.

[0172] 활성층(11)은, 도 5에 도시하는 바와 같이, 발광 다이오드(LED)의 발광 파장을 제어하기 위해서, 양자웰 구조를 구성한다. 즉, 활성층(11)은, 배리어층(장벽층이라고도 함)(18)을 양단에 갖는, 웰층(17)과 배리어층(18)의 다층 구조(적층 구조)이다.

[0173] 활성층(11)의 층 두께는, 0.02~2μm의 범위인 것이 바람직하다. 또한, 활성층(11)의 전도형은 특별히 한정되는 것은 아니고, 언도프, p형 및 n형의 어느 쪽도 선택할 수 있다. 발광 효율을 높이기 위해서는, 결정성이 양호한 언도프 또는 $3 \times 10^{17} \text{ cm}^{-3}$ 미만의 캐리어 농도로 하는 것이 바람직하다.

[0174] 표 4에, 웰층(17)의 층 두께가 17nm일 때, Al 조성 X1과 발광 피크 파장의 관계를 나타낸다. Al 조성 X1이 낮아질수록, 발광 피크 파장이 길어져 있는 것을 알 수 있다. 또한, 그 변화의 경향으로부터, 표에 게재되어 있지 않은 발광 피크 파장에 대응하는, Al 조성을 추정할 수 있다.

표 4

피크 파장(nm)	Al 조성(x)
660	0.33
680	0.28
700	0.24
720	0.20

[0176] 웰층(17)의 층 두께는, 3~30nm의 범위가 적절하다. 보다 바람직하게는, 5~20nm의 범위이다.

[0177] 표 5에, 웰층(17)의 Al 조성 X1=0.24일 때, 웰층(17)의 층 두께와 발광 피크 파장의 관계를 나타낸다. 층 두께

가 얇아지면 양자 효과에 의해, 파장이 짧아진다. 두꺼운 경우에는, 발광 피크 파장은, 조성에 따라 일정하다. 또한, 그 변화의 경향으로부터, 표에 게재되어 있지 않은 발광 피크 파장에 대응하는, 층 두께를 추정할 수 있다.

표 5

[0178]

피크 파장(nm)	층 두께(nm)
680	5
690	8
700	17
710	25

[0179]

이상의 발광 피크 파장과, 웰층(17)의 Al 조성 X1 및 층 두께의 관계에 기초하여, 660nm~720nm의 범위 내의 원하는 발광 피크 파장이 얻어지도록, 웰층(17)의 Al 조성 X1과 층 두께를 결정할 수 있다.

[0180]

배리어층(18)은, $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 의 조성을 갖고 있다. 상기 X는, 발광 효율을 높이기 위해서, 웰층(17)보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하고, 결정성의 관점으로부터 Al 농도는, 낮은 쪽이 바람직하기 때문에, X2는 0.4~0.6의 범위가 보다 바람직하다. 최적인 X2의 조성은 웰층의 조성과의 관계에서 결정된다.

[0181]

배리어층(18)의 층 두께는, 웰층(17)의 층 두께와 동일하거나 또는 두꺼운 것이 바람직하다. 이에 의해, 웰층(17)의 발광 효율을 높게 할 수 있다.

[0182]

웰층(17)과 배리어층(18)의 다층 구조에 있어서, 웰층(17)과 배리어층(18)을 교대로 적층하는 쌍의 수는 특별히 한정되는 것은 아니지만, 2쌍 이상 40쌍 이하인 것이 바람직하다. 즉, 활성층(11)에는, 웰층(17)이 2~40층 포함되어 있는 것이 바람직하다. 여기서, 활성층(11)의 발광 효율이 적합한 범위로서는, 웰층(17)이 5층 이상인 것이 바람직하다. 한편, 웰층(17) 및 배리어층(18)은, 캐리어 농도가 낮기 때문에, 많은 쌍으로 하면 순방향 전압(V_F)이 증대하게 된다. 이 때문에, 40쌍 이하인 것이 바람직하고, 20쌍 이하인 것이 보다 바람직하다.

[0183]

하부 가이드층(10) 및 상부 가이드층(12)은, 도 4에 도시하는 바와 같이, 활성층(11)의 하면 및 상면에 각각 형성되어 있다. 구체적으로는, 활성층(11)의 하면에 하부 가이드층(10)이 형성되고, 활성층(11)의 상면에 상부 가이드층(12)이 형성되어 있다.

[0184]

하부 가이드층(10) 및 상부 가이드층(12)은, $(Al_XGa_{1-X})As(0 < X \leq 1)$ 의 조성을 갖고 있다. 상기 X는, 배리어층(15)보다도 밴드갭이 동일하거나 또는 커지는 조성으로 하는 것이 바람직하고, 0.4~0.7의 범위가 보다 바람직하다. 결정성의 관점으로부터 최적인 X의 조성은 웰층의 조성과의 관계에서 결정된다.

[0185]

표 6에, 웰층(17)의 층 두께 17nm일 때의 발광 피크 파장의 발광 출력을 최대로 하는 배리어층(18)과 가이드층의 Al 조성 X를 나타낸다. 배리어층 및 가이드층은 웰층보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하지만, 결정성을 높여서 발광 출력을 향상시키기 위해서 웰층의 조성과의 관계에서 최적인 조성이 정해진다.

표 6

[0186]

피크 파장(nm)	웰(x)	배리어(x)	가이드(x)
680	0.28	0.45	0.6
700	0.24	0.40	0.6

[0187]

하부 가이드층(10) 및 상부 가이드층(12)은, 각각 하부 클래드층(9) 및 상부 클래드층(13)과 활성층(11)의 결합의 전파를 저감하기 위해서 형성되어 있다. 즉 하부 가이드층(10), 상부 가이드층(12) 및 활성층(11)의 V족 구성 원소는 비소(As)인 것에 대해, 본 발명에서는 하부 클래드층(9) 및 상부 클래드층(13)의 V족 구성 원소는 인(P)으로 하기 때문에, 계면에 있어서 결합이 생기기 쉽다. 활성층(11)에의 결합의 전파는 발광 다이오드의 성능 저하의 원인으로 된다. 이 때문에 하부 가이드층(10) 및 상부 가이드층(12)의 층 두께는 10nm 이상이 바람직하고, 20nm~100nm이 보다 바람직하다.

[0188]

하부 가이드층(10) 및 상부 가이드층(12)의 전도형은 특별히 한정되는 것은 아니고, 언도프, p형 및 n형의 어느

쪽도 선택할 수 있다. 발광 효율을 높이기 위해서는, 결정성이 양호한 언도프 또는 $3 \times 10^{17} \text{ cm}^{-3}$ 미만의 캐리어 농도로 하는 것이 바람직하다.

[0189] 하부 클래드층(9) 및 상부 클래드층(13)은, 도 4에 도시하는 바와 같이, 하부 가이드층(10)의 하면 및 상부 가이드층(12) 상면에 각각 형성되어 있다.

[0190] 하부 클래드층(9) 및 상부 클래드층(13)의 재질로서는, $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$ ($0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)의 반도체 재료를 이용하고, 배리어층(15)보다도 밴드갭이 큰 재질이 바람직하며, 하부 가이드층(10) 및 상부 가이드층(12)보다도 밴드갭이 큰 재질이 보다 바람직하다. 상기 재질로서는, $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$; $0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)의 X3이, 0.3~0.7인 조성을 갖는 것이 바람직하다. 또한, Y1은 0.4~0.6으로 하는 것이 바람직하다.

[0191] 하부 클래드층(9)과 상부 클래드층(13)은, 극성이 상이하도록 구성되어 있다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 캐리어 농도 및 두께는, 공지의 적절한 범위를 이용할 수 있고, 활성층(11)의 발광 효율이 높아 지도록 조건을 최적화하는 것이 바람직하다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 조성을 제어함으로써, 화합물 반도체층(2)의 휘어짐을 저감시킬 수 있다.

[0192] 구체적으로, 하부 클래드층(9)으로서, 예를 들면, Mg를 도프한 p형의 $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$ ($0.3 \leq X3 \leq 0.7$, $0.4 \leq Y1 \leq 0.6$)로 이루어지는 반도체 재료를 이용하는 것이 바람직하다. 또한, 캐리어 농도는 $2 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 의 범위가 바람직하고, 층 두께는 0.1~1 μm 의 범위가 바람직하다.

[0193] 한편, 상부 클래드층(13)으로서, 예를 들면, Si를 도프한 n형의 $(\text{Al}_{X3}\text{Ga}_{1-X3})_{Y1}\text{In}_{1-Y1}\text{P}$ ($0.3 \leq X3 \leq 0.7$, $0.4 \leq Y1 \leq 0.6$)로 이루어지는 반도체 재료를 이용하는 것이 바람직하다. 또한, 캐리어 농도는 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 의 범위가 바람직하고, 층 두께는 0.1~1 μm 의 범위가 바람직하다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 극성은, 화합물 반도체층(2)의 소자 구조를 고려해서 선택할 수 있다.

[0194] 또한, 발광부(7)의 구성층의 상방에는, 옴(Ohmic) 전극의 접촉 저항을 낮추기 위한 콘택트층, 소자 구동 전류를 발광부의 전반에 평면적으로 확산시키기 위한 전류 확산층, 반대로 소자 구동 전류가 통류하는 영역을 제한하기 위한 전류 지지층이나 전류 협착층 등 공지의 층 구조를 형성할 수 있다.

[0195] 전류 확산층(8)은, 도 4에 도시하는 바와 같이, 발광부(7)의 아래쪽에 형성되어 있다. 이 전류 확산층(8)은, GaAs 기판 상에 화합물 반도체층(2)을 에피택셜 성장시킬 때에, 활성층(12)에 의해 생긴 왜곡을 완화시키기 위해서 형성된 것이다.

[0196] 또한, 전류 확산층(8)은, 발광부(7)(활성층(11))로부터의 발광 파장에 대하여 투명한 재질, 즉 GaP를 적용할 수 있다. 전류 확산층(8)에 GaP를 적용하는 경우, 지지 기판(3)을 GaP 기판으로 함으로써, 접합을 용이하게 하고, 높은 접합 강도를 얻을 수 있다.

[0197] 또한, 전류 확산층(8)의 두께는 0.5~20 μm 의 범위인 것이 바람직하다. 0.5 μm 이하이면 전류 확산이 불충분하고, 20 μm 이상이면 그 두께까지 결정 성장시키기 위한 코스트가 증대하기 때문이다.

[0198] 지지 기판(3)은, 화합물 반도체층(2)의 주된 광 취출면과 반대측의 면에 접합되어 있다. 즉, 지지 기판(3)은, 도 4에 도시하는 바와 같이, 화합물 반도체층(2)을 구성하는 전류 확산층(8) 측에 접합되어 있다. 이 지지 기판(3)은, 발광부(7)를 기계적으로 지지하기에 충분한 강도를 갖고, 또한, 발광부(7)로부터 출사되는 발광을 투과할 수 있고, 활성층(10)으로부터의 발광 파장에 대하여 광학적으로 투명한 재료로 구성한다. 또한, 내습성이 우수한 화학적으로 안정된 재질이 바람직하다. 예를 들면, 부식되기 쉬운 Al 등을 함유하지 않는 재질이다.

[0199] 지지 기판(3)은 GaP, 사파이어 또는 SiC로 이루어지는 것이 바람직하다.

[0200] 또한, 지지 기판(3)은, 발광부(7)를 기계적으로 충분한 강도로 지지하기 위해서, 예를 들면 약 50 μm 이상의 두께로 하는 것이 바람직하다. 또한, 화합물 반도체층(2)에 접합한 후에 지지 기판(3)에의 기계적인 가공을 실시하기 쉽게 하기 위해서, 약 300 μm 의 두께를 초과하지 않는 것으로 하는 것이 바람직하다. 즉, 지지 기판(3)은, 약 50 μm 이상 약 300 μm 이하의 두께를 갖는 투명도, 코스트면에서 n형 GaP 기판으로 구성하는 것이 최적이다.

[0201] 또한, 도 4에 도시하는 바와 같이, 지지 기판(3)의 측면은, 화합물 반도체층(2)에 가까운 측에 있어서 주된 광 취출면에 대하여 대략 수직인 수직면(3a)으로 되어 있고, 화합물 반도체층(2)에서 먼 측에 있어서 주된 광 취출면에 대하여 내측으로 경사진 경사면(3b)으로 되어 있다. 이에 의해, 활성층(10)으로부터 지지 기판(3) 측으로

방출된 광을 효율 좋게 외부로 취출할 수 있다. 또한, 활성층(10)으로부터 지지 기판(3) 측으로 방출된 광 중, 일부는 수직면(3a)에서 반사되고 경사면(3b)에서 취출할 수 있다. 한편, 경사면(3b)에서 반사된 광은 수직면(3a)에서 취출할 수 있다. 이와 같이, 수직면(3a)과 경사면(3b)의 상승 효과에 의해, 광의 취출 효율을 높일 수 있다.

[0202] 또한, 본 실시 형태에서는, 도 4에 도시하는 바와 같이, 경사면(3b)과 발광면에 대해 평행한 면이 이루는 각도 α 를, $55^{\circ} \sim 80^{\circ}$ 의 범위 내로 하는 것이 바람직하다. 이러한 범위로 함으로써, 지지 기판(3)의 바닥부에서 반사된 광을 효율 좋게 외부로 취출할 수 있다.

[0203] 또한, 수직면(3a)의 폭(두께 방향)을, $30\mu\text{m} \sim 100\mu\text{m}$ 의 범위 내로 하는 것이 바람직하다. 수직면(3a)의 폭을 상기 범위 내로 함으로써, 지지 기판(3)의 바닥부에서 반사된 광을 수직면(3a)에 있어서 효율 좋게 발광면으로 되돌려 보낼 수 있고, 나아가서는, 주된 광 취출면으로부터 방출시키는 것이 가능하게 된다. 이 때문에, 발광 다이오드(1)의 발광 효율을 높일 수 있다.

[0204] 또한, 지지 기판(3)의 경사면(3b)은, 조면화되는 것이 바람직하다. 경사면(3b)이 조면화됨으로써, 이 경사면(3b)에서의 광 취출 효율을 높이는 효과가 얻어진다. 즉, 경사면(3b)을 조면화함으로써, 경사면(3b)에서의 전 반사를 억제하여, 광 취출 효율을 높일 수 있다.

[0205] 화합물 반도체층(2)과 지지 기판(3)의 접합 계면은, 고저항층이 되는 경우가 있다. 즉, 화합물 반도체층(2)과 지지 기판(3) 이에는, 도시를 생략하는 고저항층이 형성되어 있는 경우가 있다. 이 고저항층은, 지지 기판(3)보다도 높은 저항값을 나타내고, 고저항층이 형성되어 있는 경우에는 화합물 반도체층(2)의 전류 확산층(8) 측으로부터 지지 기판(3) 측으로의 역방향의 전류를 저감하는 기능을 갖고 있다. 또한, 지지 기판(3) 측으로부터 전류 확산층(8) 측에 부주의(준비가 잘 되지 않은 상태)에 인가되는 역방향의 전압에 대하여 내 전압성을 발휘하는 접합 구조를 구성하고 있지만, 그 항복 전압은, pn접합형의 발광부(7)의 역방향 전압보다 저값이 되도록 구성하는 것이 바람직하다.

[0206] n형 오믹 전극(4) 및 p형 오믹 전극(5)은, 발광 다이오드(1)의 주된 광 취출면에 설치된 저저항의 오믹 접촉 전극이다. 여기서, n형 오믹 전극(4)은, 상부 클래드층(11)의 상부에 설치되어 있고, 예를 들면, AuGe, Ni 합금/Au로 이루어지는 합금을 이용할 수 있다. 한편, p형 오믹 전극(5)은, 도 4에 도시하는 바와 같이, 노출시킨 전류 확산층(8)의 표면에 AuBe/Au, 또는 AuZn/Au로 이루어지는 합금을 이용할 수 있다.

[0207] 여기서, 본 실시 형태의 발광 다이오드(1)에서는, 제2 전극으로서 p형 오믹 전극(5)을, 전류 확산층(8) 상에 형성하는 것이 바람직하다. 이러한 구성으로 함으로써, 작동 전압을 낮추는 효과가 얻어진다. 또한, p형 오믹 전극(5)을 p형 GaP로 이루어지는 전류 확산층(8) 상에 형성함으로써, 양호한 오믹 콘택트가 얻어지기 때문에, 작동 전압을 낮출 수 있다.

[0208] 또한, 본 실시 형태에서는, 제1 전극의 극성을 n형으로 하고, 제2 전극의 극성을 p형으로 하는 것이 바람직하다. 이러한 구성으로 함으로써, 발광 다이오드(1)의 고휘도화를 달성할 수 있다. 한편, 제1 전극을 p형으로 하면, 전류 확산이 나빠져, 휘도의 저하를 초래한다. 이것에 대하여, 제1 전극을 n형으로 함으로써, 전류 확산이 좋아져, 발광 다이오드(1)의 고휘도화를 달성할 수 있다.

[0209] 본 실시 형태의 발광 다이오드(1)에서는, 도 3에 도시하는 바와 같이, n형 오믹 전극(4)과 p형 오믹 전극(5)이 대각의 위치로 되도록 배치하는 것이 바람직하다. 또한, p형 오믹 전극(5)의 주위를, 화합물 반도체층(2)으로 둘러싼 구성으로 하는 것이 가장 바람직하다. 이러한 구성으로 함으로써, 작동 전압을 낮추는 효과가 얻어진다. 또한, p형 오믹 전극(5)의 사방을 n형 오믹 전극(4)으로 둘러싸는 것에 의해, 전류가 사방에 흐르기 쉬워지고, 그 결과 작동 전압이 저하한다.

[0210] 또한, 본 실시 형태의 발광 다이오드(1)에서는, 도 3에 도시하는 바와 같이, n형 오믹 전극(4)을, 별집형, 격자형상 등 메쉬로 하는 것이 바람직하다. 이러한 구성으로 함으로써, 신뢰성을 향상시키는 효과가 얻어진다. 또한, 격자형상으로 함으로써, 활성층(10)에 균일하게 전류를 주입할 수 있고, 그 결과, 신뢰성을 향상시키는 효과가 얻어진다. 또한, 본 실시 형태의 발광 다이오드(1)에서는, n형 오믹 전극(4)을, 패드형상의 전극(패드 전극)과 폭 $10\mu\text{m}$ 이하의 선형상의 전극(선형상 전극)으로 구성하는 것이 바람직하다. 이러한 구성으로 함으로써, 고휘도화를 도모할 수 있다. 또한, 선형상 전극의 폭을 좁게 함으로써, 광 취출면의 개구 면적을 넓힐 수 있어, 고휘도화를 달성할 수 있다.

[0211] <발광 다이오드의 제조 방법>

- [0212] 다음으로, 본 실시 형태의 발광 다이오드(1)의 제조 방법에 대해서 설명한다. 도 6은, 본 실시 형태의 발광 다이오드(1)에 이용하는 에피 웨이퍼의 단면도이다. 또한, 도 7은, 본 실시 형태의 발광 다이오드(1)에 이용하는 접합 웨이퍼의 단면도이다.
- [0213] (화합물 반도체층의 형성 공정)
- [0214] 우선, 도 6에 도시하는 바와 같이, 화합물 반도체층(2)을 제작한다. 화합물 반도체층(2)은, GaAs 기판(14) 상에, GaAs로 이루어지는 완충층(15), 선택 에칭에 이용하기 위해서 형성된 에칭 스톱층(도시 생략), Si를 도프한 n형의 AlGaInP로 이루어지는 콘택트층(16), n형의 상부 클래드층(13), 상부 가이드층(12), 활성층(11), 하부 가이드층(10), p형의 하부 클래드층(9), Mg 도프한 p형 GaP로 이루어지는 전류 확산층(8)을 순차적으로 적층해서 제작한다.
- [0215] GaAs 기판(14)은, 공지의 제법으로 제작된 시판품의 단결정 기판을 사용할 수 있다. GaAs 기판(14)의 에피택셜 성장시키는 표면은, 평활한 것이 바람직하다. GaAs 기판(14)의 표면의 면방위는, 에피 성장하기 쉽고, 양산되어 있는 (100)면 및 (100)으로부터, $\pm 20^\circ$ 이내로 오픈한 기판이, 품질의 안정성의 면으로부터 바람직하다. 또한, GaAs 기판(14)의 면방위의 범위가, (100)방향으로부터 (0-1-1)방향으로 15° 오픈 $\pm 5^\circ$ 인 것이 보다 바람직하다.
- [0216] GaAs 기판(14)의 전위 밀도는, 화합물 반도체층(2)의 결정성을 좋게 하기 위해서 낮은 쪽이 바람직하다. 구체적으로는, 예를 들면, $10,000\text{개cm}^{-2}$ 이하, 바람직하게는, $1,000\text{개cm}^{-2}$ 이하인 것이 적절하다.
- [0217] GaAs 기판(14)은, n형이어도 p형이어도 된다. GaAs 기판(14)의 캐리어 농도는, 원하는 전기 전도도와 소자 구조로부터, 적절히 선택할 수 있다. 예를 들면, GaAs 기판(14)이 실리콘 도프의 n형인 경우에는, 캐리어 농도가 $1 \times 10^{17} \sim 5 \times 10^{18} \text{cm}^{-3}$ 의 범위인 것이 바람직하다. 이것에 대하여, GaAs 기판(14)이 아연을 도프한 p형인 경우에는, 캐리어 농도 $2 \times 10^{18} \sim 5 \times 10^{19} \text{cm}^{-3}$ 의 범위인 것이 바람직하다.
- [0218] GaAs 기판(14)의 두께는, 기판의 사이즈에 따라서 적절한 범위가 있다. GaAs 기판(14)의 두께가 적절한 범위보다도 얇으면, 화합물 반도체층(2)의 제조 프로세스 중에 균열될 우려가 있다. 한편, GaAs 기판(14)의 두께가 적절한 범위보다도 두꺼우면 재료 코스트가 증가하게 된다. 이 때문에, GaAs 기판(14)의 기판 사이즈가 큰 경우, 예를 들면, 직경 75mm의 경우에는, 핸들링 시의 균열을 방지하기 위해서 250~500 μm 의 두께가 바람직하다. 마찬가지로, 직경 50mm의 경우에는, 200~400 μm 의 두께가 바람직하고, 직경 100mm의 경우에는, 350~600 μm 의 두께가 바람직하다.
- [0219] 이와 같이, GaAs 기판(14)의 기판 사이즈에 따라서 기판의 두께를 두껍게 함으로써, 활성층(7)에 기인하는 화합물 반도체층(2)의 휘어짐을 저감할 수 있다. 이에 의해, 에피택셜 성장 중의 온도 분포가 균일하게 되는 것 때문에, 활성층(10)의 면 내의 과장 분포를 작게 할 수 있다. 또한, GaAs 기판(14)의 형상은, 특히 원형에 한정되지 않고, 직사각형 등이어도 문제없다.
- [0220] 완충층(buffer)(15)은, GaAs 기판(14)과 발광부(7)의 구성층의 결합의 전파를 저감하기 위해서 형성되어 있다. 이 때문에, 기판의 품질이나 에피택셜 성장 조건을 선택하면, 완충층(15)은, 반드시 필요한 것은 아니다. 또한, 완충층(15)의 재질은, 에피택셜 성장시키는 기판과 동일한 재질로 하는 것이 바람직하다. 따라서, 본 실시 형태에서는, 완충층(15)에는, GaAs 기판(14)과 동일하게 GaAs를 이용하는 것이 바람직하다. 또한, 완충층(15)에는, 결합의 전파를 저감하기 위해서 GaAs 기판(14)과 상이한 재질로 이루어지는 다층막을 이용할 수도 있다. 완충층(15)의 두께는, 0.1 μm 이상으로 하는 것이 바람직하고, 0.2 μm 이상으로 하는 것이 보다 바람직하다.
- [0221] 콘택트층(16)은, 전극과의 접촉 저항을 저하시키기 위해서 형성되어 있다. 콘택트층(16)의 재질은, 활성층(12)보다 밴드갭이 큰 재질인 것이 바람직하고, $\text{Al}_x\text{Ga}_{1-x}\text{As}$, $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 < y \leq 1$)가 적절하다. 또한, 콘택트층(16)의 캐리어 농도의 하한값은, 전극과의 접촉 저항을 저하시키기 위해서 510^{17}cm^{-3} 이상인 것이 바람직하고, $1 \times 10^{18} \text{cm}^{-3}$ 이상이 보다 바람직하다. 캐리어 농도의 상한값은, 결정성의 저하가 일어나기 쉬워지는 $2 \times 10^{19} \text{cm}^{-3}$ 이하가 바람직하다. 콘택트층(16)의 두께는, 0.5 μm 이상이 바람직하고, 1 μm 이상이 최적이다. 콘택트층(16)의 두께의 상한값은 특별히 한정 되어 있지는 않지만, 에피택셜 성장에 따른 코스트를 적정 범위로 하기 위해서, 5 μm 이하로 하는 것이 바람직하다.

- [0222] *본 실시 형태에서는, 분자선 에피택셜법(MBE)이나 감압 유기 금속 화학 기상 퇴적법(MOCVD법) 등의 공지의 성장 방법을 적용할 수 있다. 그중에서도, 양산성이 우수한 MOCVD법을 적용하는 것이 가장 바람직하다. 구체적으로는, 화합물 반도체층(2)의 에피택셜 성장에 사용하는 GaAs 기판(14)은, 성장 전에 세정 공정이나 열처리 등의 전처리를 실시하여, 표면의 오염이나 자연 산화막을 제거하는 것이 바람직하다. 상기 화합물 반도체층(2)을 구성하는 각 층은, 직경 50~150mm의 GaAs 기판(14)을 MOCVD 장치 내에 세트하고, 동시에 에피택셜 성장시켜 적층할 수 있다. 또한, MOCVD 장치로서는, 자전·공전형, 고속 회전형 등의 시판 중인 대형 장치를 적용할 수 있다.
- [0223] 상기 화합물 반도체층(2)의 각 층을 에피택셜 성장할 때, III족 구성 원소의 원료로서는, 예를 들면, 트리메틸 알루미늄((CH₃)₃Al), 트리메틸 갈륨((CH₃)₃Ga) 및 트리메틸 인듐((CH₃)₃In)을 이용할 수 있다. 또한, Mg의 도핑 원료로서는, 예를 들면, 비스키클로펜타디에닐 마그네슘(bis-(C₅H₅)₂Mg) 등을 이용할 수 있다. 또한, Si의 도핑 원료로서는, 예를 들면, 디실란(Si₂H₆) 등을 이용할 수 있다. 또한, V족 구성 원소의 원료로서는, 포스핀(PH₃), 아루신(AsH₃) 등을 이용할 수 있다. 또한, 각 층의 성장 온도로서는, 전류 확산층(8)으로서 p형 GaP를 이용하는 경우에는, 720~770℃를 적용할 수 있고, 그 이외의 각 층에서는 600~700℃를 적용할 수 있다. 또한, 각 층의 캐리어 농도 및 층 두께, 온도 조건은, 적절히 선택할 수 있다.
- [0224] 이와 같이 하여 제조한 화합물 반도체층(2)은, 활성층(7)을 갖고 있음에도 불구하고 결정 결함이 적은 양호한 표면 상태가 얻어진다. 또한, 화합물 반도체층(2)은, 소자 구조에 대응해서 연마 등의 표면 가공을 실시해도 된다.
- [0225] (지지 기판의 접합 공정)
- [0226] 다음으로, 화합물 반도체층(2)과 지지 기판(3)을 접합한다. 화합물 반도체층(2)과 지지 기판(3)의 접합은, 우선 화합물 반도체층(2)을 구성하는 전류 확산층(8)의 표면을 연마하여, 경면 가공한다. 다음으로, 이 전류 확산층(8)의 경면 연마한 표면에 접착하는 지지 기판(3)을 준비한다. 또한, 이 지지 기판(3)의 표면은, 전류 확산층(8)에 접합시키기 이전에 경면으로 연마한다. 다음으로, 일반적인 반도체 재료 접착 장치에, 화합물 반도체층(2)과 지지 기판(3)을 반입하고, 진공 중에서 경면 연마한 쌍방의 표면에 전자를 충돌시켜 중성(뉴트럴)화한 Ar 빔을 조사한다. 그 후, 진공을 유지한 접착 장치 내에서 쌍방의 표면을 서로 겹쳐서 하중을 가함으로써, 실온에서 접합할 수 있다(도 7 참조). 접합에 관해서는, 접합 조건의 안정성으로부터, 접합면이 동일한 재질이 보다 바람직하다.
- [0227] 접합(접착)은 이러한 진공하에서의 상온 접합이 최적이지만, 공정 금속, 접착제를 이용하여 접합할 수도 있다.
- [0228] (제1 및 제2 전극의 형성 공정)
- [0229] 다음으로, 제1 전극인 n형 오믹 전극(4) 및 제2 전극인 p형 오믹 전극(5)을 형성한다. n형 오믹 전극(4) 및 p형 오믹 전극(5)의 형성은, 우선 지지 기판(3)과 접합한 화합물 반도체층(2)으로부터, GaAs 기판(14) 및 완충층(15)을 암모니아계 에천트에 의해 선택적으로 제거한다. 다음으로, 노출된 컨택트층(16)의 표면에 n형 오믹 전극(4)을 형성한다. 구체적으로는, 예를 들면, AuGe, Ni 합금/Pt/Au를 임의의 두께로 되도록 진공 증착법에 의해 적층한 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 행하여 n형 오믹 전극(4)의 형상을 형성한다.
- [0230] 다음으로, 컨택트층(16), 상부 클래드층(13), 상부 가이드층(12), 활성층(11), 하부 가이드층(10), p형의 하부 클래드층(9)을 선택적으로 제거해서 전류 확산층(8)을 노출시키고, 이 노출된 전류 확산층(8)의 표면에 p형 오믹 전극(5)을 형성한다. 구체적으로는, 예를 들면, AuBe/Au를 임의의 두께로 되도록 진공 증착법에 의해 적층한 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 행하여 p형 오믹 전극(5)의 형상을 형성한다. 그 후, 예를 들면 400~500℃, 5~20분간의 조건에서 열처리를 행하여 합금화함으로써, 저저항의 n형 오믹 전극(4) 및 p형 오믹 전극(5)을 형성할 수 있다.
- [0231] (지지 기판의 가공 공정)
- [0232] 다음으로, 지지 기판(3)의 형상을 가공한다. 지지 기판(3)의 가공은, 우선 제3 전극(6)을 형성하고 있지 않은 표면에 V자 형상의 홈 파기를 행한다. 이 때, V자 형상의 홈의 제3 전극(6) 측의 내측면이 발광면에 대해 평행한 면과 이루는 각도 α를 갖는 경사면(3b)이 된다. 다음으로, 화합물 반도체층(2) 측으로부터 소정의 간격으로 다이싱을 행하여 칩화한다. 또한, 칩화 시의 다이싱에 의해 지지 기판(3)의 수직면(3a)이 형성된다.

- [0233] 경사면(3b)의 형성 방법은, 특별히 한정되는 것은 아니고, 웨트 에칭, 드라이 에칭, 스크라이브법, 레이저 가공 등의 종래부터의 방법을 조합해서 이용할 수 있지만, 형상의 제어성 및 생산성이 높은 다이싱법을 적용하는 것이 가장 바람직하다. 다이싱법을 적용하는 것에 의해, 제조 수율을 향상할 수 있다.
- [0234] 또한, 수직면(3a)의 형성 방법은, 특별히 한정되는 것은 아니지만, 레이저 가공, 스크라이브·브레이크법 또는 다이싱법으로 형성하는 것이 바람직하다. 레이저 가공, 스크라이브·브레이크법을 채용함으로써, 제조 코스트를 저하시킬 수 있다. 즉, 칩 분리 시에 절단 마진을 설정할 필요 없이, 수많은 발광 다이오드를 제조할 수 있기 때문에 제조 코스트를 낮출 수 있다. 한편, 다이싱법에서는, 절단의 안정성이 우수하다.
- [0235] 마지막으로, 파쇄층 및 오염을 필요에 따라서 황산·과산화수소 혼합액 등으로 에칭 제거한다. 이와 같이 하여 발광 다이오드(1)를 제조한다.
- [0236] <발광 다이오드 램프의 제조 방법>
- [0237] 다음으로, 상기 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)의 제조 방법, 즉, 발광 다이오드(1)의 실장 방법에 대해서 설명한다.
- [0238] 도 1 및 도 2에 도시하는 바와 같이, 마운트 기판(42)의 표면에 소정의 수량의 발광 다이오드(1)를 실장한다. 발광 다이오드(1)의 실장은, 우선 마운트 기판(42)과 발광 다이오드(1)의 위치 정렬을 행하고, 마운트 기판(42)의 표면의 소정의 위치에 발광 다이오드(1)를 배치한다. 다음으로, Ag 페이스트로 다이본딩하고, 발광 다이오드(1)가 마운트 기판(42)의 표면에 고정된다. 다음으로, 발광 다이오드(1)의 n형 오믹 전극(4)과 마운트 기판(42)의 n전극 단자(43)를 금선(45)을 이용하여 접속한다(와이어 본딩). 다음으로, 발광 다이오드(1)의 p형 오믹 전극(5)과 마운트 기판(42)의 p전극 단자(44)를 금선(46)을 이용하여 접속한다. 마지막으로, 마운트 기판(42)의 발광 다이오드(1)가 실장된 표면을, 실리콘 수지나 에폭시 수지 등의 일반적인 밀봉 수지(47)에 의해 밀봉한다. 이와 같이 하여, 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)를 제조한다.
- [0239] 또한, 발광 다이오드 램프(41)의 발광 스펙트럼은, 활성층(11)의 조성이 조정되어 있기 때문에, 피크 발광 파장이 660~720nm의 범위가 된다. 또한, 전류 확산층(8)에 의해 웰층(17) 및 배리어층(18)의 활성층(11) 내의 변동이 억제되어 있기 때문에, 발광 스펙트럼의 반값 폭이, 10~40nm의 범위가 된다.
- [0240] 이상 설명한 바와 같이, 본 실시 형태의 발광 다이오드(1)에 따르면, 조성식 $(Al_xGa_{1-x})As(0.20 \leq x \leq 0.36)$ 로 이루어지는 웰층(17)을 갖는 발광부(7)를 포함하는 화합물 반도체층(2)을 구비하고 있다.
- [0241] 또한, 본 실시 형태의 발광 다이오드(1)에는, 발광부(7) 상에 전류 확산층(8)이 형성되어 있다. 이 전류 확산층(8)은, 발광 파장에 대하여 투명하기 때문에, 발광부(7)로부터의 발광을 흡수하지 않고 고출력·고효율의 발광 다이오드(1)로 할 수 있다. 지지 기판은, 재질적으로 안정하고, 부식의 걱정이 없고 내습성이 우수하다.
- [0242] 따라서, 본 실시 형태의 발광 다이오드(1)에 따르면, 활성층의 조건을 조정하면 660~720nm의 발광 파장을 갖고, 단색성이 우수함과 함께, 고출력·고효율이며 내습성인 발광 다이오드(1)를 제공할 수 있다. 또한, 본 실시 형태의 발광 다이오드(1)에 따르면, 종래의 액상 에피택셜법으로 제작한 GaAs 기판을 제거한 투명 기판형 AlGaAs계의 발광 다이오드와 비교하여, 약 1.5배 이상의 발광 효율을 갖는 고출력 발광 다이오드(1)를 제공할 수 있다. 또한, 고온 고습 신뢰성도 향상하였다.
- [0243] 또한, 본 실시 형태의 발광 다이오드 램프(41)에 따르면, 660~720nm의 발광 파장을 갖고, 단색성이 우수함과 함께, 고출력·고효율이며 내습성인 상기 발광 다이오드(1)를 구비하고 있다.
- [0244] <발광 다이오드(제7 실시 형태)>
- [0245] 본 발명을 적용한 제7 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{x1}Ga_{1-x1})As(0.20 \leq x1 \leq 0.36)$ 로 이루어지는 웰층과, 조성식 $(Al_{x4}Ga_{1-x4})_{y2}In_{1-y2}P(0 \leq x4 \leq 1, 0 < y2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 전류 확산층에 접합된 지지 기판을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{x3}Ga_{1-x3})_{y1}In_{1-y1}P(0 \leq x3 \leq 1, 0 < y1 \leq 1)$ 로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 660~720nm로 설정해서 이루어지는 것을 특징으로 한다.
- [0246] 제6 실시 형태에 따른 발광 다이오드에 있어서의 AlGaAs 배리어층(18)을, 조성식 $(Al_{x4}Ga_{1-x4})_{y2}In_{1-y2}P(0 \leq x4 \leq 1, 0 < y2 \leq 1)$ 로 이루어지는 배리어층으로 한 점이 제6 실시 형태에 따른 발광 다이오드와 상이하다.

- [0247] 상기 X3은, 발광 효율을 높이기 위해서, 웰층(17)보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하고, 결정성의 관점으로부터 Al 농도는, 낮은 쪽이 바람직하기 때문에, X3은 0.3~0.7, Y2는 0.4~0.6의 범위가 보다 바람직하다. 최적인 X3, Y2의 조성은 웰층의 조성과의 관계에서 결정된다.
- [0248] <발광 다이오드(제8 실시 형태)>
- [0249] 도 8(a) 및 (b)는, 본 발명을 적용한 제8 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면으로서, 도 8(a)은 평면도, 도 8(b)는 도 8(a) 중에 도시하는 C-C' 선을 따른 단면도이다.
- [0250] 제8 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0.20 \leq X1 \leq 0.36$)로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 < X2 \leq 1$)로 이루어지는 배리어층과의 적층 구조를 갖고 적색광을 발하는 활성층(11)과, 활성층을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부와, 발광부 상에 형성된 전류 확산층(8)과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층(23)을 포함하고, 전류 확산층(8)에 접합된 지지 기판(31)을 구비하고, 제1 및 제2 클래드층(9, 13)이 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$; $0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 660~720nm로 설정해서 이루어지는 것을 특징으로 한다.
- [0251] 제8 실시 형태에 따른 발광 다이오드에서는, 발광 파장에 대하여 90% 이상의 반사율을 갖고, 발광부에 대향해서 배치하는 반사층(23)을 구비한 지지 기판(30)을 가지므로, 주된 광 취출면으로부터 효율적으로 광을 취출할 수 있다.
- [0252] 도 8에 도시한 예에서는, 지지 기판(31)은, 전류 확산층(8)의 하측의 면(8b)에 제2 전극(21)을 구비하고, 또한 그 제2 전극(8)을 피복하도록 투명 도전막(22)과 반사층(23)이 적층되어 이루어지는 반사 구조체와, 실리콘 또는 게르마늄으로 이루어지는 층(기판)(30)을 구비하고 있다.
- [0253] 제8 실시 형태에 따른 발광 다이오드에 있어서는, 지지 기판(31)은 실리콘 또는 게르마늄으로 이루어지는 층을 포함하는 것이 바람직하다. 부식되기 어려운 재질이기에 때문에, 내습성이 향상하기 때문이다.
- [0254] 반사층(23)은 예를 들면, 은(Ag), 알루미늄(Al), 금(Au) 또는 이들의 합금 등에 의해 구성된다. 이들 재료는 광 반사율이 높아, 반사층(23)으로부터의 광 반사율을 90% 이상으로 할 수 있다.
- [0255] 지지 기판(31)은, 이 반사층(23)에, AuIn, AuGe, AuSn 등의 공정 금속으로, 실리콘, 게르마늄 등의 저렴한 기판(층)에 접합하는 조합을 이용할 수 있다. 특히 AuIn은, 접합 온도가 낮아, 열팽창 계수가 발광부와 차이가 있지만, 가장 저렴한 실리콘 기판(실리콘층)을 접합하기 위해서는 최적인 조합이다.
- [0256] 지지 기판(31)은 또한, 전류 확산층, 반사층 금속 및 공정 금속이 상호 확산되지 않도록, 예를 들면, 티타늄(Ti), 텅스텐(W), 백금(Pt) 등의 고용점 금속으로 이루어지는 층이 삽입된 구성으로 하는 것도 품질의 안정성으로부터 바람직하다.
- [0257] <발광 다이오드(제9 실시 형태)>
- [0258] 도 9는, 본 발명을 적용한 제9 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면이다.
- [0259] 본 발명을 적용한 제9 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0.20 \leq X1 \leq 0.36$)로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 < X2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층(11)과, 이 활성층을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부와, 발광부 상에 형성된 전류 확산층(8)과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층(53)과 금속 기판(50)을 포함하고, 전류 확산층(8)에 접합된 지지 기판(51)을 구비하고, 제1 및 제2 클래드층(9, 13)을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$; $0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 660~720nm로 설정해서 이루어지는 것을 특징으로 한다.
- [0260] 제9 실시 형태에 따른 발광 다이오드에서는, 지지 기판이 금속 기판을 포함하는 점이 제8 실시 형태에 따른 발광 다이오드에 대하여 특징적인 구성이다.
- [0261] 금속 기판은 방열성이 높아, 발광 다이오드를 고휘도로 발광하는 데에 기여함과 함께, 발광 다이오드의 수명을 장수명으로 할 수 있다.
- [0262] 방열성의 관점으로부터는, 금속 기판은 열 전도율이 130W/m·K 이상인 금속으로 이루어지는 것이 특히 바람직하

다. 열 전도율이 $130\text{W/m}\cdot\text{K}$ 이상인 금속으로서는, 예를 들면, 몰리브덴($138\text{W/m}\cdot\text{K}$)이나 텅스텐($174\text{W/m}\cdot\text{K}$)이 있다.

- [0263] 도 9에 도시하는 바와 같이, 화합물 반도체층(2)은, 활성층(11)과, 가이드층(도시 생략)을 개재해서 그 활성층(11)을 사이에 끼우는 제1 클래드층(하부 클래드)(9) 및 제2 클래드층(상부 클래드)(13)과, 제1 클래드층(하부 클래드)(9)의 하측에 전류 확산층(8)과, 제2 클래드층(상부 클래드)(13)의 상측에 제1 전극(55)과 평면에서 보아 대략 동일한 사이즈의 컨택트층(56)을 갖는다.
- [0264] 지지 기판(51)은, 전류 확산층(8)의 하측의 면(8b)에, 제2 전극(57)을 구비하고, 또한 그 제2 전극(57)을 피복하도록 투명 도전막(52)과 반사층(53)이 적층되어 이루어지는 반사 구조체와, 금속 기판(50)으로 이루어지고, 반사 구조체를 구성하는 반사층(53)의 화합물 반도체층(2)과 반대측의 면(53b)에, 금속 기판(50)의 접합면(50a)이 접합되어 있다.
- [0265] 반사층(53)은 예를 들면, 구리, 은, 금, 알루미늄 등의 금속 또는 이들의 합금 등에 의해 구성된다. 이들 재료는 광 반사율이 높아, 반사 구조체로부터의 광 반사율을 90% 이상으로 할 수 있다. 반사층(53)을 형성하는 것에 의해, 활성층(11)으로부터의 광을 반사층(53)에서 정면 방향 f로 반사시켜, 정면 방향 f에서의 광 추출 효율을 향상시킬 수 있다. 이에 의해, 발광 다이오드를 보다 고휘도화할 수 있다.
- [0266] 반사층(53)은, 투명 도전막(52) 측으로부터 Ag, Ni/Ti 배리어층, Au계의 공정 금속(접속용 금속)으로 이루어지는 적층 구조가 바람직하다.
- [0267] 상기 접속용 금속은, 전기 저항이 낮고, 저온에서 용융하는 금속이다. 상기 접속용 금속을 이용함으로써, 화합물 반도체층(2)에 열 스트레스를 부여하는 일없이, 금속 기판을 접속할 수 있다.
- [0268] 접속용 금속으로서는, 화학적으로 안정하고, 용점이 낮은 Au계의 공정 금속 등이 이용된다. 상기 Au계의 공정 금속으로서는, 예를 들면, AuSn, AuGe, AuSi 등의 합금의 공정 조성(Au계의 공정 금속)을 들 수 있다.
- [0269] 또한, 접속용 금속에는, 티타늄, 크롬, 텅스텐의 금속을 첨가하는 것이 바람직하다. 이에 의해, 티타늄, 크롬, 텅스텐 등의 금속이 배리어 금속으로서 기능하여, 금속 기판에 포함되는 불순물 등이 반사층(53) 측으로 확산하여, 반응하는 것을 억제할 수 있다.
- [0270] 투명 도전막(52)은, ITO막, IZO막 등에 의해 구성되어 있다. 또한, 반사 구조체는, 반사층(53)만으로 구성해도 된다.
- [0271] 또한, 투명 도전막(52) 대신에, 또는, 투명 도전막(52)과 함께, 투명한 재료의 굴절률차를 이용한 소위 콜드 미러, 예를 들면, 산화 타타늄막, 산화 규소막의 다층막이나 백색의 알루미늄, AlN을 이용하여, 반사층(53)에 조합해도 된다.
- [0272] 금속 기판(50)은 복수의 금속층으로 이루어지는 것을 이용할 수 있다.
- [0273] 금속 기판은 2종류의 금속층이 교대로 적층되어 이루어지는 것이 바람직하다.
- [0274] 특히, 이 2종류의 금속층의 층수는 합해서 홀수로 하는 것이 바람직하다.
- [0275] 이 경우, 금속 기판의 휘어짐이나 균열의 관점으로부터, 제2 금속층(50B)으로서 화합물 반도체층(2)보다 열팽창 계수가 작은 재료를 이용할 때에는, 제1 금속층(50A, 50A)을 화합물 반도체층(3)보다 열팽창 계수가 큰 재료로 이루어지는 것을 이용하는 것이 바람직하다. 금속 기판 전체로서의 열팽창 계수가 화합물 반도체층의 열팽창 계수에 가까운 것으로 되기 때문에, 화합물 반도체층과 금속 기판을 접합할 때의 금속 기판의 휘어짐이나 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있기 때문이다. 마찬가지로, 제2 금속층(50B)으로서 화합물 반도체층(2)보다 열팽창 계수가 큰 재료를 이용할 때에는, 제1 금속층(50A, 50A)을 화합물 반도체층(2)보다 열팽창 계수가 작은 재료로 이루어지는 것을 이용하는 것이 바람직하다. 금속 기판 전체로서의 열팽창 계수가 화합물 반도체층의 열팽창 계수에 가까운 것으로 되기 때문에, 화합물 반도체층과 금속 기판을 접합할 때의 금속 기판의 휘어짐이나 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상할 수 있기 때문이다.
- [0276] 이상의 관점으로부터는, 2종류의 금속층은 어느 쪽이 제1 금속층이든 제2 금속층이든 상관없다.
- [0277] 2종류의 금속층으로서는, 예를 들면, 은(열팽창 계수= 18.9ppm/K), 구리(열팽창 계수= 16.5ppm/K), 금(열팽창 계수= 14.2ppm/K), 알루미늄(열팽창 계수= 23.1ppm/K), 니켈(열팽창 계수= 13.4ppm/K) 및 이들의 합금 중 어느 하나

로 이루어지는 금속층과, 몰리브덴(열팽창 계수=5.1ppm/K), 텅스텐(열팽창 계수=4.3ppm/K), 크롬(열팽창 계수=4.9ppm/K) 및 이들의 합금 중 어느 하나로 이루어지는 금속층의 조합을 이용할 수 있다.

[0278] 적합한 예로서는, Cu/Mo/Cu의 3층으로 이루어지는 금속 기판을 들 수 있다. 상기한 관점에서는 Mo/Cu/Mo의 3층으로 이루어지는 금속 기판에서도 마찬가지로의 효과가 얻어지지만, Cu/Mo/Cu의 3층으로 이루어지는 금속 기판은, 기계적 강도가 높은 Mo를 가공하기 쉬운 Cu 사이에 끼운 구성이므로, Mo/Cu/Mo의 3층으로 이루어지는 금속 기판보다도 절단 등의 가공이 용이하다고 하는 이점이 있다.

[0279] 금속 기판 전체로서의 열팽창 계수는 예를 들면, Cu(30 μ m)/Mo(25 μ m)/Cu(30 μ m)의 3층으로 이루어지는 금속 기판에서는 6.1ppm/K이며, Mo(25 μ m)/Cu(70 μ m)/Mo(25 μ m)의 3층으로 이루어지는 금속 기판에서는 5.7ppm/K가 된다.

[0280] 또한, 방열의 관점으로부터는, 금속 기판을 구성하는 금속층은 열 전도율이 높은 재료로 이루어지는 것이 바람직하다. 이에 의해, 금속 기판의 방열성을 높게 해서, 발광 다이오드를 고휘도로 발광시킬 수 있음과 함께, 발광 다이오드의 수명을 장수명으로 할 수 있기 때문이다.

[0281] 예를 들면, 은(열 전도율=420W/m·K), 구리(열 전도율=398W/m·K), 금(열 전도율=320W/m·K), 알루미늄(열 전도율=236W/m·K), 몰리브덴(열 전도율=138W/m·K), 텅스텐(열 전도율=174W/m·K) 및 이들의 합금 등을 이용하는 것이 바람직하다.

[0282] 그들의 금속층의 열팽창 계수가 화합물 반도체층의 열팽창 계수와 대략 동일한 재료로 이루어지는 것이 보다 바람직하다. 특히, 금속층의 재료가, 화합물 반도체층의 열팽창 계수의 ± 1.5 ppm/K 이내인 열팽창 계수를 갖는 재료인 것이 바람직하다. 이에 의해, 금속 기판과 화합물 반도체층의 접합 시의 발광부예의 열에 의한 스트레스를 작게 할 수 있고, 금속 기판을 화합물 반도체층과 접속시켰을 때의 열에 의한 금속 기판의 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있다.

[0283] 금속 기판 전체로서의 열 전도율은 예를 들면, Cu(30 μ m)/Mo(25 μ m)/Cu(30 μ m)의 3층으로 이루어지는 금속 기판에서는 250W/m·K가 되고, Mo(25 μ m)/Cu(70 μ m)/Mo(25 μ m)의 3층으로 이루어지는 금속 기판에서는 220W/m·K가 된다.

[0284] <발광 다이오드(제10 실시 형태)>

[0285] 제10 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As(0.20 \leq X1 \leq 0.36)$ 로 이루어지는 웰층과, 조성식 $(Al_{X3}Ga_{1-X3})_{Y2}In_{1-Y2}P(0 \leq X3 \leq 1, 0 < Y2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 전류 확산층에 접합된 지지 기판을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{X2}Ga_{1-X2})_{Y1}In_{1-Y1}P; 0 \leq X2 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 660~720nm로 설정해서 이루어지는 것을 특징으로 한다.

[0286] 본 실시 형태에 있어서도, 지지 기판으로서, 제8 실시 형태 및 제9 실시 형태에서 예시한 것을 이용할 수 있다.

[0287] <발광 다이오드(제11 실시 형태)>

[0288] 도 3 및 도 4는, 본 발명을 적용한 제11 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면으로서, 도 3은 평면도, 도 4는 도 3 중에 도시하는 B-B' 선을 따른 단면도이다. 또한, 도 5는 적층 구조의 단면도이다.

[0289] 제11 실시 형태에 따른 발광 다이오드는, $(Al_{X1}Ga_{1-X1})As(0 \leq X1 \leq 0.2)$ 로 이루어지는 웰층(17)과, 조성식 $(Al_{X2}Ga_{1-X2})As(0 < X2 \leq 1)$ 로 이루어지는 배리어층(18)을 교대로 적층한 양자웰 구조의 활성층(11)과, 이 활성층(11)을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부(7)과, 상기 발광부(7) 상에 형성된 전류 확산층(8)과, 상기 전류 확산층(8)에 접합된 지지 기판(3)을 구비하고, 상기 제1 및 제2 클래드층을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P; 0 \leq X3 \leq 1, 0 < Y1 \leq 1)$ 로 이루어지는 것으로 하고, 상기 웰층(17)의 두께를 3~30nm로 하고 발광 파장을 760~850nm로 설정해서 이루어지는 것을 특징으로 하는 것이다.

[0290] 또한, 본 실시 형태에 있어서의 주된 광 추출면이란, 화합물 반도체층(2)에 있어서, 지지 기판(3)을 접촉한 면의 반대측의 면이다.

[0291] 화합물 반도체층(에피택셜 성장층이라고도 함)(2)은, 도 4에 도시하는 바와 같이, pn접합형의 발광부(7)와 전류

확산층(8)이 순차적으로 적층된 구조를 갖고 있다. 이 화합물 반도체층(2)의 구조에는, 공지의 기능층을 적시 부가할 수 있다. 예를 들면, 옴릭(Ohmic) 전극의 접촉 저항을 낮추기 위한 컨택트층, 소자 구동 전류를 발광부의 전반에 평면적으로 확산시키기 위한 전류 확산층, 반대로 소자 구동 전류가 통류하는 영역을 제한하기 위한 전류 저지층이나 전류 협착층 등 공지의 층 구조를 형성할 수 있다. 또한, 화합물 반도체층(2)은, GaAs 기판 상에 에피택셜 성장시켜 형성된 것인 것이 바람직하다.

[0292] 발광부(7)는, 도 4에 도시하는 바와 같이, 전류 확산층(8) 상에, 적어도 p형의 하부 클래드층(제1 클래드층)(9), 하부 가이드층(10), 활성층(11), 상부 가이드층(12), n형의 상부 클래드층(제2 클래드층)(13)이 순차적으로 적층되어 구성되어 있다. 즉, 발광부(7)는, 방사 재결합을 가져오는 캐리어(담체;carrier) 및 발광을 활성층(11)에 「감금하기」 때문에, 활성층(11)의 하측 및 상측에 대치해서 배치한 하부 클래드층(9), 하부 가이드층(guide)층(10), 및 상부 가이드층(12), 상부 클래드층(13)을 포함하는, 소위, 더블 헤테로(영약칭:DH) 구조로 하는 것이 고강도의 발광을 얻는 데에 있어서 바람직하다.

[0293] 활성층(11)은, 도 5에 도시하는 바와 같이, 발광 다이오드(LED)의 발광 파장을 제어하기 위해서, 양자웰 구조를 구성한다. 즉, 활성층(11)은, 배리어층(장벽층이라고도 함)(18)을 양단에 갖는, 웰층(17)과 배리어층(18)의 다층 구조(적층 구조)이다.

[0294] 활성층(11)의 층 두께는, 0.02~2 μ m의 범위인 것이 바람직하다. 또한, 활성층(11)의 전도형은 특별히 한정되는 것은 아니고, 언도프, p형 및 n형의 어느 쪽도 선택할 수 있다. 발광 효율을 높이기 위해서는, 결정성이 양호한 언도프 또는 $3 \times 10^{17} \text{ cm}^{-3}$ 미만의 캐리어 농도로 하는 것이 바람직하다.

[0295] 표 7에, 웰층(17)의 층 두께가 17nm일 때, Al 조성 X1과 발광 피크 파장의 관계를 나타낸다. Al 조성 X1이 낮을수록, 발광 피크 파장이 길어지고 있는 것을 알 수 있다. 또한, 그 변화의 경향으로부터, 표에 게재되어 있지 않은 발광 피크 파장에 대응하는 Al 조성을 추정할 수 있다.

표 7

피크 파장(nm)	Al 조성(x)
720	0.20
730	0.10
760	0.13
800	0.07
830	0.03
850	0.00

[0297] 웰층(17)의 층 두께는, 3~30nm의 범위가 적절하다. 보다 바람직하게는, 5~20nm의 범위이다.

[0298] 표 8에, 웰층(17)의 Al 조성 X1=0.03일 때, 웰층(17)의 층 두께와 발광 피크 파장의 관계를 나타낸다. 층 두께가 얇아지면 양자 효과에 의해, 파장이 짧아진다. 두꺼운 경우에는, 발광 피크 파장은, 조성에 따라 일정하다. 또한, 그 변화의 경향으로부터, 표에 게재되어 있지 않은 발광 피크 파장에 대응하는 층 두께를 추정할 수 있다.

표 8

피크 파장(nm)	층 두께(nm)
810	5
820	10
830	17
840	30

[0300] 이상의 발광 피크 파장과, 웰층(17)의 Al 조성 X1 및 층 두께의 관계에 기초하여, 760nm~850nm의 범위 내의 원하는 발광 피크 파장이 얻어지도록, 웰층(17)의 Al 조성 X1과 층 두께를 결정할 수 있다.

[0301] 배리어층(18)은, $(\text{Al}_{X2}\text{Ga}_{1-X2})\text{As}$ ($0 < X2 \leq 1$)의 조성을 갖고 있다. 상기 X는, 발광 효율을 높이기 위해서, 웰층(17)보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하고, 결정성의 관점으로부터 Al 농도는 낮은 쪽이 바람직하기 때문에, X2는 0.1~0.4의 범위가 보다 바람직하다. 최적적인 X2의 조성은 웰층의 조성과의 관계에서 결정된

다.

[0302] 배리어층(18)의 층 두께는, 웰층(17)의 층 두께와 동일하거나 또는 두꺼운 것이 바람직하다. 이에 의해, 웰층(17)의 발광 효율을 높게 할 수 있다.

[0303] 웰층(17)과 배리어층(18)의 다층 구조에 있어서, 웰층(17)과 배리어층(18)을 교대로 적층하는 쌍의 수는 특별히 한정되는 것은 아니지만, 2쌍 이상 40쌍 이하인 것이 바람직하다. 즉, 활성층(11)에는, 웰층(17)이 2~40층 포함되어 있는 것이 바람직하다. 여기서, 활성층(11)의 발광 효율이 적합한 범위로서는, 웰층(17)이 5층 이상인 것이 바람직하다. 한편, 웰층(17) 및 배리어층(18)은, 캐리어 농도가 낮기 때문에, 많은 쌍으로 하면 순방향 전압(V_F)이 증대하게 된다. 이 때문에, 40쌍 이하인 것이 바람직하고, 20쌍 이하인 것이 보다 바람직하다.

[0304] 하부 가이드층(10) 및 상부 가이드층(12)은, 도 4에 도시하는 바와 같이, 활성층(11)의 하면 및 상면에 각각 형성되어 있다. 구체적으로는, 활성층(11)의 하면에 하부 가이드층(10)이 설치되고, 활성층(11)의 상면에 상부 가이드층(12)이 형성되어 있다.

[0305] 하부 가이드층(10) 및 상부 가이드층(12)은, $(Al_xGa_{1-x})As$ ($0 < x \leq 1$)의 조성을 갖고 있다. 상기 x 는, 배리어층(15)보다도 밴드갭이 동일하거나 또는 커지는 조성으로 하는 것이 바람직하고, 0.2~0.6의 범위가 보다 바람직하다. 결정성의 관점으로부터 최적인 x 의 조성은 웰층의 조성과의 관계에서 결정된다.

[0306] 표 9에, 웰층(17)의 층 두께 17nm일 때의 발광 피크 파장의 발광 출력을 최대로 하는 배리어층(18)과 가이드층의 Al 조성 x 를 나타낸다. 배리어층 및 가이드층은 웰층보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하지만, 결정성을 높여서 발광 출력을 향상시키기 위해서 웰층의 조성과의 관계에서 최적인 조성이 정해진다.

표 9

[0307]

피크 파장(nm)	웰(x)	배리어(x)	가이드(x)
730	0.18	0.30	0.4
760	0.13	0.30	0.4
800	0.07	0.20	0.3
830	0.03	0.20	0.3
850	0.00	0.20	0.3

[0308] 하부 가이드층(10) 및 상부 가이드층(12)은, 각각 하부 클래드층(9) 및 상부 클래드층(13)과 활성층(11)의 결합의 전파를 저감하기 위해서 형성되어 있다. 즉 하부 가이드층(10), 상부 가이드층(12) 및 활성층(11)의 V족 구성 원소는 비소(As)인 것에 대해, 본 발명에서는 하부 클래드층(9) 및 상부 클래드층(13)의 V족 구성 원소는 인(P)으로 하기 때문에, 계면에 있어서 결합이 생기기 쉽다. 활성층(11)에의 결합의 전파는 발광 다이오드의 성능 저하가 원인으로 된다. 이 때문에 하부 가이드층(10) 및 상부 가이드층(12)의 층 두께는 10nm 이상이 바람직하고, 20nm~100nm이 보다 바람직하다.

[0309] 하부 가이드층(10) 및 상부 가이드층(12)의 전도형은 특별히 한정되는 것은 아니고, 언도프, p형 및 n형의 어느 쪽도 선택할 수 있다. 발광 효율을 높이기 위해서는, 결정성이 양호한 언도프 또는 $3 \times 10^{17} \text{ cm}^{-3}$ 미만의 캐리어 농도로 하는 것이 바람직하다.

[0310] 하부 클래드층(9) 및 상부 클래드층(13)은, 도 4에 도시하는 바와 같이, 하부 가이드층(10)의 하면 및 상부 가이드층(12) 상면에 각각 형성되어 있다.

[0311] 하부 클래드층(9) 및 상부 클래드층(13)의 재질로서는, $(Al_{x3}Ga_{1-x3})_{y1}In_{1-y1}P$ ($0 \leq x3 \leq 1, 0 < y1 \leq 1$)의 반도체 재료를 이용하고, 배리어층(15)보다도 밴드갭이 큰 재질이 바람직하며, 하부 가이드층(10) 및 상부 가이드층(12)보다도 밴드갭이 큰 재질이 보다 바람직하다. 상기 재질로서는, $(Al_{x3}Ga_{1-x3})_{y1}In_{1-y1}P$ ($0 \leq x3 \leq 1, 0 < y1 \leq 1$)의 $x3$ 이, 0.3~0.7인 조성을 갖는 것이 바람직하다. 또한, $y1$ 은 0.4~0.6으로 하는 것이 바람직하다.

[0312] 하부 클래드층(9)과 상부 클래드층(13)은, 극성이 상이하도록 구성되어 있다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 캐리어 농도 및 두께는, 공지의 적절한 범위를 이용할 수 있고, 활성층(11)의 발광 효율이 높아 지도록 조건을 최적화하는 것이 바람직하다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 조성을 제어함으로써, 화합물 반도체층(2)의 휘어짐을 저감시킬 수 있다.

- [0313] 구체적으로, 하부 클래드층(9)으로서는, 예를 들면, Mg를 도프한 p형의 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$ ($0.3 \leq X3 \leq 0.7$, $0.4 \leq Y1 \leq 0.6$)로 이루어지는 반도체 재료를 이용하는 것이 바람직하다. 또한, 캐리어 농도는 $2 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 의 범위가 바람직하고, 층 두께는 0.1~1 μm 의 범위가 바람직하다.
- [0314] 한편, 상부 클래드층(13)으로서는, 예를 들면, Si를 도프한 n형의 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$ ($0.3 \leq X3 \leq 0.7$, $0.4 \leq Y1 \leq 0.6$)로 이루어지는 반도체 재료를 이용하는 것이 바람직하다. 또한, 캐리어 농도는 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 의 범위가 바람직하고, 층 두께는 0.1~1 μm 의 범위가 바람직하다. 또한, 하부 클래드층(9) 및 상부 클래드층(13)의 극성은, 화합물 반도체층(2)의 소자 구조를 고려해서 선택할 수 있다.
- [0315] 또한, 발광부(7)의 구성층의 상방에는, 오믹(Ohmic) 전극의 접촉 저항을 낮추기 위한 콘택트층, 소자 구동 전류를 발광부의 전반에 평면적으로 확산시키기 위한 전류 확산층, 반대로 소자 구동 전류가 통류하는 영역을 제한하기 위한 전류 저지층이나 전류 협착층 등 공지의 층 구조를 형성할 수 있다.
- [0316] 전류 확산층(8)은, 도 4에 도시하는 바와 같이, 발광부(7)의 아래쪽에 형성되어 있다. 이 전류 확산층(8)은, GaAs 기판 상에 화합물 반도체층(2)을 에피택셜 성장시킬 때에, 활성층(12)에 의해 생긴 왜곡을 완화시키기 위해서 형성된 것이다.
- [0317] 또한, 전류 확산층(8)은, 발광부(7)(활성층(11))으로부터의 발광 파장에 대하여 투명한 재질, 즉 GaP를 적용할 수 있다. 전류 확산층(8)에 GaP를 적용하는 경우, 지지 기판(3)을 GaP 기판으로 함으로써, 접합을 쉽게 하여, 높은 접합 강도를 얻을 수 있다.
- [0318] 또한, 전류 확산층(8)의 두께는 0.5~20 μm 의 범위인 것이 바람직하다. 0.5 μm 이하이면 전류 확산이 불충분하고, 20 μm 이상이면 그 두께까지 결정 성장시키기 위한 코스트가 증대하기 때문이다.
- [0319] 지지 기판(3)은, 화합물 반도체층(2)의 주된 광 취출면과 반대측의 면에 접합되어 있다. 즉, 지지 기판(3)은, 도 4에 도시하는 바와 같이, 화합물 반도체층(2)을 구성하는 전류 확산층(8) 측에 접합되어 있다. 이 지지 기판(3)은, 발광부(7)를 기계적으로 지지하기에 충분한 강도를 갖고, 또한, 발광부(7)로부터 출사되는 발광을 통과할 수 있고, 활성층(10)으로부터의 발광 파장에 대하여 광학적으로 투명한 재료로 구성한다. 또한, 내습성이 우수한 화학적으로 안정된 재질이 바람직하다. 예를 들면, 부식되기 쉬운 Al 등을 함유하지 않는 재질이다.
- [0320] 지지 기판(3)은 GaP, 사파이어 또는 SiC로 이루어지는 것이 바람직하다. 또한, 지지 기판(3)은, 발광부(7)를 기계적으로 충분한 강도로 지지하기 위해서, 예를 들면 약 50 μm 이상의 두께로 하는 것이 바람직하다. 또한, 화합물 반도체층(2)에 접합한 후에 지지 기판(3)에의 기계적인 가공을 실시하기 쉽게 하기 위해서, 약 300 μm 의 두께를 초과하지 않는 것으로 하는 것이 바람직하다. 즉, 지지 기판(3)은, 약 50 μm 이상 약 300 μm 이하의 두께를 갖는 투명도, 코스트면에서 n형 GaP 기판으로 구성하는 것이 최적이다.
- [0321] 또한, 도 4에 도시하는 바와 같이, 지지 기판(3)의 측면은, 화합물 반도체층(2)에 가까운 측에 있어서 주된 광 취출면에 대하여 대략 수직인 수직면(3a)으로 되어 있고, 화합물 반도체층(2)에서 먼 측에 있어서 주된 광 취출면에 대하여 내측으로 경사진 경사면(3b)으로 되어 있다. 이에 의해, 활성층(10)으로부터 지지 기판(3) 측으로 방출된 광을 효율 좋게 외부로 취출할 수 있다. 또한, 활성층(10)으로부터 지지 기판(3) 측으로 방출된 광 중, 일부는 수직면(3a)에서 반사되어 경사면(3b)에서 취출할 수 있다. 한편, 경사면(3b)에서 반사된 광은 수직면(3a)에서 취출할 수 있다. 이와 같이, 수직면(3a)과 경사면(3b)의 상승 효과에 의해, 광의 취출 효율을 높일 수 있다.
- [0322] 또한, 본 실시 형태에서는, 도 4에 도시하는 바와 같이, 경사면(3b)과 발광면에 대해 평행한 면이 이루는 각도 α 를, 55도 ~80 $^{\circ}$ 의 범위 내로 하는 것이 바람직하다. 이러한 범위로 함으로써, 지지 기판(3)의 바닥부에서 반사된 광을 효율 좋게 외부로 취출할 수 있다.
- [0323] 또한, 수직면(3a)의 폭(두께 방향)을, 30 μm ~100 μm 의 범위 내로 하는 것이 바람직하다. 수직면(3a)의 폭을 상기 범위 내로 함으로써, 지지 기판(3)의 바닥부에서 반사된 광을 수직면(3a)에 있어서 효율 좋게 발광면으로 되돌려 보낼 수 있고, 나아가서는, 주된 광 취출면으로부터 방출시키는 것이 가능하게 된다. 이 때문에, 발광 다이오드(1)의 발광 효율을 높일 수 있다.
- [0324] 또한, 지지 기판(3)의 경사면(3b)은, 조면화되는 것이 바람직하다. 경사면(3b)이 조면화됨으로써, 이 경사면(3b)에서의 광 취출 효율을 높이는 효과가 얻어진다. 즉, 경사면(3b)을 조면화함으로써, 경사면(3b)에서의 전

반사를 억제하여, 광 추출 효율을 높일 수 있다.

- [0325] 화합물 반도체층(2)과 지지 기판(3)의 접합 계면은, 고저항층이 되는 경우가 있다. 즉, 화합물 반도체층(2)과 지지 기판(3) 사이에는, 도시를 생략하는 고저항층이 형성되어 있는 경우가 있다. 이 고저항층은, 지지 기판(3)보다도 높은 저항값을 나타내고, 고저항층이 형성되어 있는 경우에는 화합물 반도체층(2)의 전류 확산층(8) 측으로부터 지지 기판(3) 측으로의 역방향의 전류를 저감하는 기능을 갖고 있다. 또한, 지지 기판(3) 측으로부터 전류 확산층(8) 측에 부주의하게 인가되는 역방향의 전압에 대하여 내 전압성을 발휘하는 접합 구조를 구성하고 있지만, 그 항복 전압은, pn접합형의 발광부(7)의 역방향 전압보다 저값이 되도록 구성하는 것이 바람직하다.
- [0326] n형 오믹 전극(4) 및 p형 오믹 전극(5)은, 발광 다이오드(1)의 주된 광 추출면에 설치된 저저항의 오믹 접촉 전극이다. 여기서, n형 오믹 전극(4)은, 상부 클래드층(11)의 상부에 설치되어 있고, 예를 들면, AuGe, Ni 합금/Au로 이루어지는 합금을 이용할 수 있다. 한편, p형 오믹 전극(5)은, 도 4에 도시하는 바와 같이, 노출시킨 전류 확산층(8)의 표면에 AuBe/Au, 또는 AuZn/Au로 이루어지는 합금을 이용할 수 있다.
- [0327] 여기서, 본 실시 형태의 발광 다이오드(1)에서는, 제2 전극으로서 p형 오믹 전극(5)을, 전류 확산층(8) 상에 형성하는 것이 바람직하다. 이러한 구성으로 함으로써, 작동 전압을 낮추는 효과가 얻어진다. 또한, p형 오믹 전극(5)을 p형 GaP로 이루어지는 전류 확산층(8) 상에 형성함으로써, 양호한 오믹 콘택트가 얻어지기 때문에, 작동 전압을 낮출 수 있다.
- [0328] 또한, 본 실시 형태에서는, 제1 전극의 극성을 n형으로 하고, 제2 전극의 극성을 p형으로 하는 것이 바람직하다. 이러한 구성으로 함으로써, 발광 다이오드(1)의 고휘도화를 달성할 수 있다. 한편, 제1 전극을 p형으로 하면, 전류 확산이 나빠져, 휘도의 저하를 초래한다. 이것에 대하여, 제1 전극을 n형으로 함으로써, 전류 확산이 좋아져, 발광 다이오드(1)의 고휘도화를 달성할 수 있다.
- [0329] 본 실시 형태의 발광 다이오드(1)에서는, 도 3에 도시하는 바와 같이, n형 오믹 전극(4)과 p형 오믹 전극(5)이 대각의 위치로 되도록 배치하는 것이 바람직하다. 또한, p형 오믹 전극(5)의 주위를, 화합물 반도체층(2)으로 둘러싼 구성으로 하는 것이 가장 바람직하다. 이러한 구성으로 함으로써, 작동 전압을 낮추는 효과가 얻어진다. 또한, p형 오믹 전극(5)의 사방을 n형 오믹 전극(4)으로 둘러싸는 것에 의해, 전류가 사방에 흐르기 쉬워지고, 그 결과 작동 전압이 저하한다.
- [0330] 또한, 본 실시 형태의 발광 다이오드(1)에서는, 도 3에 도시하는 바와 같이, n형 오믹 전극(4)을, 벌집형, 격자형상 등 메쉬로 하는 것이 바람직하다. 이러한 구성으로 함으로써, 신뢰성을 향상시키는 효과가 얻어진다. 또한, 격자형상으로 함으로써, 활성층(10)에 균일하게 전류를 주입할 수 있고, 그 결과, 신뢰성을 향상시키는 효과가 얻어진다. 또한, 본 실시 형태의 발광 다이오드(1)에서는, n형 오믹 전극(4)을, 패드 형상의 전극(패드 전극)과 폭 10 μ m 이하의 선 형상의 전극(선 형상 전극)으로 구성하는 것이 바람직하다. 이러한 구성으로 함으로써, 고휘도화를 도모할 수 있다. 또한, 선 형상 전극의 폭을 좁게 함으로써, 광 추출면의 개구 면적을 넓힐 수 있어, 고휘도화를 달성할 수 있다.
- [0331] <발광 다이오드의 제조 방법>
- [0332] 다음으로, 본 실시 형태의 발광 다이오드(1)의 제조 방법에 대해서 설명한다. 도 6은, 본 실시 형태의 발광 다이오드(1)에 이용하는 에피 웨이퍼의 단면도이다. 또한, 도 7은, 본 실시 형태의 발광 다이오드(1)에 이용하는 접합 웨이퍼의 단면도이다.
- [0333] (화합물 반도체층의 형성 공정)
- [0334] 우선, 도 6에 도시하는 바와 같이, 화합물 반도체층(2)을 제작한다. 화합물 반도체층(2)은, GaAs 기판(14) 상에, GaAs로 이루어지는 완충층(15), 선택 에칭에 이용하기 위해서 형성된 에칭 스톱층(도시 생략), Si를 도프한 n형 AlGaAs로 이루어지는 콘택트층(16), n형 상부 클래드층(13), 상부 가이드층(12), 활성층(11), 하부 가이드층(10), p형 하부 클래드층(9), Mg 도프한 p형 GaP로 이루어지는 전류 확산층(8)을 순차적으로 적층해서 제작한다.
- [0335] GaAs 기판(14)은, 공지의 제법으로 제작된 시판품의 단결정 기판을 사용할 수 있다. GaAs 기판(14)의 에피택셜 성장시키는 표면은, 평활한 것이 바람직하다. GaAs 기판(14)의 표면의 면방위는, 에피 성장하기 쉽고, 양산되어 있는 (100)면 및 (100)으로부터, $\pm 20^\circ$ 이내로 오픈한 기판이, 품질의 안정성의 면으로부터 바람직하다. 또한, GaAs 기판(14)의 면방위의 범위가, (100)방향으로부터 (0-1-1)방향으로 15° 오픈 $\pm 5^\circ$ 인 것이 보다 바람

직하다.

- [0336] GaAs 기판(14)의 전위 밀도는, 화합물 반도체층(2)의 결정성을 좋게 하기 위해서 낮은 쪽이 바람직하다. 구체적으로는, 예를 들면, $10,000\text{개}\text{cm}^{-2}$ 이하, 바람직하게는, $1,000\text{개}\text{cm}^{-2}$ 이하인 것이 적절하다.
- [0337] GaAs 기판(14)은, n형이어도 p형이어도 된다. GaAs 기판(14)의 캐리어 농도는, 원하는 전기 전도도와 소자 구조로부터 적절히 선택할 수 있다. 예를 들면, GaAs 기판(14)이 실리콘 도프의 n형인 경우에는, 캐리어 농도가 $1\times 10^{17}\sim 5\times 10^{18}\text{cm}^{-3}$ 의 범위인 것이 바람직하다. 이것에 대하여, GaAs 기판(14)이 아연을 도프한 p형인 경우에는, 캐리어 농도 $2\times 10^{18}\sim 5\times 10^{19}\text{cm}^{-3}$ 의 범위인 것이 바람직하다.
- [0338] GaAs 기판(14)의 두께는, 기판의 사이즈에 따라서 적절한 범위가 있다. GaAs 기판(14)의 두께가 적절한 범위보다도 얇으면, 화합물 반도체층(2)의 제조 프로세스 중에 균열될 우려가 있다. 한편, GaAs 기판(14)의 두께가 적절한 범위보다도 두꺼우면 재료 코스트가 증가하게 된다. 이 때문에, GaAs 기판(14)의 기판 사이즈가 큰 경우, 예를 들면, 직경 75mm의 경우에는, 핸들링 시의 균열을 방지하기 위해서 250~500 μm 의 두께가 바람직하다. 마찬가지로, 직경 50mm의 경우에는, 200~400 μm 의 두께가 바람직하고, 직경 100mm의 경우에는, 350~600 μm 의 두께가 바람직하다.
- [0339] 이와 같이, GaAs 기판(14)의 기판 사이즈에 따라서 기판의 두께를 두껍게 함으로써, 활성층(7)에 기인하는 화합물 반도체층(2)의 휘어짐을 저감할 수 있다. 이에 의해, 에피택셜 성장 중의 온도 분포가 균일하게 되는 것 때문에, 활성층(10)의 면 내의 파장 분포를 작게 할 수 있다. 또한, GaAs 기판(14)의 형상은, 특히 원형에 한정되지 않고, 직사각형 등이어도 문제없다.
- [0340] 완충층(buffer)(15)은, GaAs 기판(14)과 발광부(7)의 구성층의 결합의 전파를 저감하기 위해서 형성되어 있다. 이 때문에, 기판의 품질이나 에피택셜 성장 조건을 선택하면, 완충층(15)은, 반드시 필요한 것은 아니다. 또한, 완충층(15)의 재질은, 에피택셜 성장시키는 기판과 동일한 재질로 하는 것이 바람직하다. 따라서, 본 실시 형태에서는, 완충층(15)에는, GaAs 기판(14)과 동일하게 GaAs를 이용하는 것이 바람직하다. 또한, 완충층(15)에는, 결합의 전파를 저감하기 위해서 GaAs 기판(14)과 상이한 재질로 이루어지는 다층막을 이용할 수도 있다. 완충층(15)의 두께는, 0.1 μm 이상으로 하는 것이 바람직하고, 0.2 μm 이상으로 하는 것이 보다 바람직하다.
- [0341] 콘택트층(16)은, 전극과의 접촉 저항을 저하시키기 위해서 형성되어 있다. 콘택트층(16)의 재질은, 활성층(12)보다 밴드갭이 큰 재질인 것이 바람직하고, $\text{Al}_x\text{Ga}_{1-x}\text{As}$, $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0\leq x\leq 1$, $0<y\leq 1$)가 적절하다. 또한, 콘택트층(16)의 캐리어 농도의 하한값은, 전극과의 접촉 저항을 저하시키기 위해서 $5\times 10^{17}\text{cm}^{-3}$ 이상인 것이 바람직하고, $1\times 10^{18}\text{cm}^{-3}$ 이상이 보다 바람직하다. 캐리어 농도의 상한값은, 결정성의 저하가 일어나기 쉬워지는 $2\times 10^{19}\text{cm}^{-3}$ 이하가 바람직하다. 콘택트층(16)의 두께는, 0.5 μm 이상이 바람직하고, 1 μm 이상이 최적이다. 콘택트층(16)의 두께의 상한값은 특별히 한정되어 있지는 않지만, 에피택셜 성장에 따른 코스트를 적정 범위로 하기 위해서, 5 μm 이하로 하는 것이 바람직하다.
- [0342] 본 실시 형태에서는, 분자선 에피택셜법(MBE)이나 감압 유기 금속 화학 기상 퇴적법(MOCVD법) 등의 공지의 성장 방법을 적용할 수 있다. 그중에서도, 양산성이 우수한 MOCVD법을 적용하는 것이 가장 바람직하다. 구체적으로는, 화합물 반도체층(2)의 에피택셜 성장에 사용하는 GaAs 기판(14)은, 성장 전에 세정 공정이나 열처리 등의 전처리를 실시하여, 표면의 오염이나 자연 산화막을 제거하는 것이 바람직하다. 상기 화합물 반도체층(2)을 구성하는 각 층은, 직경 50~150mm의 GaAs 기판(14)을 MOCVD 장치 내에 세트하고, 동시에 에피택셜 성장시켜 적층할 수 있다. 또한, MOCVD 장치로서는, 자전·공전형, 고속 회전형 등의 시판 중인 대형 장치를 적용할 수 있다.
- [0343] 상기 화합물 반도체층(2)의 각 층을 에피택셜 성장할 때, III족 구성 원소의 원료로서는, 예를 들면, 트리메틸 알루미늄($(\text{CH}_3)_3\text{Al}$), 트리메틸 갈륨($(\text{CH}_3)_3\text{Ga}$) 및 트리메틸 인듐($(\text{CH}_3)_3\text{In}$)을 이용할 수 있다. 또한, Mg의 도핑 원료로서는, 예를 들면, 비스시클로펜타디에닐 마그네슘($\text{bis}-(\text{C}_5\text{H}_5)_2\text{Mg}$) 등을 이용할 수 있다. 또한, Si의 도핑 원료로서는, 예를 들면, 디실란(Si_2H_6) 등을 이용할 수 있다. 또한, V족 구성 원소의 원료로서는, 포스핀(PH_3), 아루신(AsH_3) 등을 이용할 수 있다. 또한, 각 층의 성장 온도로서는, 전류 확산층(8)으로서 p형 GaP를 이용하는 경우에는, 720~770 $^\circ\text{C}$ 를 적용할 수 있고, 그 이외의 각 층에서는 600~700 $^\circ\text{C}$ 를 적용할 수 있다. 또한, 각 층의 캐리어 농도 및 층 두께, 온도 조건은, 적절히 선택할 수 있다.

- [0344] 이와 같이 하여 제조한 화합물 반도체층(2)은, 활성층(7)을 갖고 있음에도 불구하고 결정 결함이 적은 양호한 표면 상태가 얻어진다. 또한, 화합물 반도체층(2)은, 소자 구조에 대응해서 연마 등의 표면 가공을 실시해도 된다.
- [0345] (지지 기판의 접합 공정)
- [0346] 다음으로, 화합물 반도체층(2)과 지지 기판(3)을 접합한다. 화합물 반도체층(2)과 지지 기판(3)의 접합은, 우선 화합물 반도체층(2)을 구성하는 전류 확산층(8)의 표면을 연마하여, 경면 가공한다. 다음으로, 이 전류 확산층(8)의 경면 연마한 표면에 접착하는 지지 기판(3)을 준비한다. 또한, 이 지지 기판(3)의 표면은, 전류 확산층(8)에 접합시키기 이전에 경면으로 연마한다. 다음으로, 일반적인 반도체 재료 접착 장치에, 화합물 반도체층(2)과 지지 기판(3)을 반입하고, 진공 중에서 경면 연마한 쌍방의 표면에 전자를 충돌시켜 중성(뉴트럴)화한 Ar 빔을 조사한다. 그 후, 진공을 유지한 접착 장치 내에서 쌍방의 표면을 서로 겹쳐서 하중을 가함으로써, 실온에서 접합할 수 있다(도 7 참조). 접합에 관해서는, 접합 조건의 안정성으로부터, 접합면이 동일한 재질이 보다 바람직하다.
- [0347] 접합(접착)은 이러한 진공하에서의 상온 접합이 최적이지만, 공정 금속, 접착제를 이용하여 접합할 수도 있다.
- [0348] (제1 및 제2 전극의 형성 공정)
- [0349] 다음으로, 제1 전극인 n형 오믹 전극(4) 및 제2 전극인 p형 오믹 전극(5)을 형성한다. n형 오믹 전극(4) 및 p형 오믹 전극(5)의 형성은, 우선 지지 기판(3)과 접합한 화합물 반도체층(2)으로부터, GaAs 기판(14) 및 완충층(15)을 암모니아계 에치트에 의해 선택적으로 제거한다. 다음으로, 노출된 콘택트층(16)의 표면에 n형 오믹 전극(4)을 형성한다. 구체적으로는, 예를 들면, AuGe, Ni 합금/Pt/Au를 임의의 두께로 되도록 진공 증착법에 의해 적층한 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 행하여 n형 오믹 전극(4)의 형상을 형성한다.
- [0350] 다음으로, 콘택트층(16), 상부 클래드층(13), 상부 가이드층(12), 활성층(11), 하부 가이드층(10), p형의 하부 클래드층(9)을 선택적으로 제거해서 전류 확산층(8)을 노출시키고, 이 노출된 전류 확산층(8)의 표면에 p형 오믹 전극(5)을 형성한다. 구체적으로는, 예를 들면, AuBe/Au를 임의의 두께로 되도록 진공 증착법에 의해 적층한 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 행하여 p형 오믹 전극(5)의 형상을 형성한다. 그 후, 예를 들면 400~500℃, 5~20분간의 조건에서 열처리를 행하여 합금화함으로써, 저저항의 n형 오믹 전극(4) 및 p형 오믹 전극(5)을 형성할 수 있다.
- [0351] (지지 기판의 가공 공정)
- [0352] 다음으로, 지지 기판(3)의 형상을 가공한다. 지지 기판(3)의 가공은, 우선 제3 전극(6)을 형성하고 있지 않은 표면에 V자 형상의 홈 파기를 행한다. 이 때, V자 형상의 홈의 제3 전극(6) 측의 내측면이 발광면에 대해 평행한 면과 이루는 각도 α 를 갖는 경사면(3b)이 된다. 다음으로, 화합물 반도체층(2) 측으로부터 소정의 간격으로 다이싱을 행하여 칩화한다. 또한, 칩화 시의 다이싱에 의해 지지 기판(3)의 수직면(3a)이 형성된다.
- [0353] 경사면(3b)의 형성 방법은, 특별히 한정되는 것은 아니고, 웨트 에칭, 드라이 에칭, 스크라이브법, 레이저 가공 등의 종래부터의 방법을 조합해서 이용할 수 있지만, 형상의 제어성 및 생산성이 높은 다이싱법을 적용하는 것이 가장 바람직하다. 다이싱법을 적용하는 것에 의해, 제조 수율을 향상할 수 있다.
- [0354] 또한, 수직면(3a)의 형성 방법은, 특별히 한정되는 것은 아니지만, 레이저 가공, 스크라이브·브레이크법 또는 다이싱법으로 형성하는 것이 바람직하다. 레이저 가공, 스크라이브·브레이크법을 채용함으로써, 제조 코스트를 저하시킬 수 있다. 즉, 칩 분리 시에 절단 마진을 설정할 필요 없이, 수많은 발광 다이오드를 제조할 수 있기 때문에 제조 코스트를 낮출 수 있다. 한편, 다이싱법에서는, 절단의 안정성이 우수하다.
- [0355] 마지막으로, 파쇄층 및 오염을 필요에 따라서 황산·과산화수소 혼합액 등으로 에칭 제거한다. 이와 같이 하여 발광 다이오드(1)를 제조한다.
- [0356] <발광 다이오드 램프의 제조 방법>
- [0357] 다음으로, 상기 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)의 제조 방법, 즉, 발광 다이오드(1)의 실장 방법에 대해서 설명한다.
- [0358] 도 1 및 도 2에 도시하는 바와 같이, 마운트 기판(42)의 표면에 소정의 수량의 발광 다이오드(1)를 실장한다. 발광 다이오드(1)의 실장은, 우선 마운트 기판(42)과 발광 다이오드(1)의 위치 정렬을 행하고, 마운트 기판(4

2)의 표면의 소정의 위치에 발광 다이오드(1)를 배치한다. 다음으로, Ag 페이스트로 다이본드하고, 발광 다이오드(1)가 마운트 기판(42)의 표면에 고정된다. 다음으로, 발광 다이오드(1)의 n형 오믹 전극(4)과 마운트 기판(42)의 n전극 단자(43)를 금선(45)을 이용하여 접속한다(와이어 본딩). 다음으로, 발광 다이오드(1)의 p형 오믹 전극(5)과 마운트 기판(42)의 p전극 단자(44)를 금선(46)을 이용하여 접속한다. 마지막으로, 마운트 기판(42)의 발광 다이오드(1)가 실장된 표면을, 실리콘 수지나 에폭시 수지 등의 일반적인 밀봉 수지(47)에 의해 밀봉한다. 이와 같이 하여, 발광 다이오드(1)를 이용한 발광 다이오드 램프(41)를 제조한다.

[0359] 또한, 발광 다이오드 램프(41)의 발광 스펙트럼은, 활성층(11)의 조성이 조정되어 있기 때문에, 피크 발광 파장이 760~850nm의 범위가 된다. 또한, 전류 확산층(8)에 의해 웰층(17) 및 배리어층(18)의 활성층(11) 내의 변동이 억제되어 있기 때문에, 발광 스펙트럼의 반값 폭이, 10~40nm의 범위가 된다.

[0360] 이상 설명한 바와 같이, 본 실시 형태의 발광 다이오드(1)에 따르면, 조성식 $(Al_xGa_{1-x})As(0 \leq x \leq 0.2)$ 로 이루어지는 웰층(17)을 갖는 발광부(7)를 포함하는 화합물 반도체층(2)을 구비하고 있다.

[0361] 또한, 본 실시 형태의 발광 다이오드(1)에는, 발광부(7) 상에 전류 확산층(8)이 형성되어 있다. 이 전류 확산층(8)은, 발광 파장에 대하여 투명하기 때문에, 발광부(7)로부터의 발광을 흡수하지 않고 고출력·고효율의 발광 다이오드(1)로 할 수 있다. 지지 기판은, 재질적으로 안정하고, 부식의 걱정이 없고 내습성이 우수하다.

[0362] 따라서, 본 실시 형태의 발광 다이오드(1)에 따르면, 활성층의 조건을 조정하면 760~850nm의 발광 파장을 갖고, 단색성이 우수함과 함께, 고출력·고효율이며 내습성인 발광 다이오드(1)를 제공할 수 있다. 또한, 본 실시 형태의 발광 다이오드(1)에 따르면, 종래의 액상 에피택셜법으로 제작한 GaAs 기판을 제거한 투명 기판형 AlGaAs계의 발광 다이오드와 비교하여, 약 1.5배 이상의 발광 효율을 갖는 고출력 발광 다이오드(1)를 제공할 수 있다. 또한, 높은 고습 신뢰성도 향상하였다.

[0363] 또한, 본 실시 형태의 발광 다이오드 램프(41)에 따르면, 760~850nm의 발광 파장을 갖고, 단색성이 우수함과 함께, 고출력·고효율이며 내습성인 상기 발광 다이오드(1)를 구비하고 있다. 이 때문에, 적외선 조명, 센서에 적합한 발광 다이오드 램프(41)를 제공할 수 있다.

[0364] <발광 다이오드(제12 실시 형태)>

[0365] 본 발명을 적용한 제12 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{x1}Ga_{1-x1})As(0 \leq x1 \leq 0.2)$ 로 이루어지는 웰층과, 조성식 $(Al_{x4}Ga_{1-x4})_{y2}In_{1-y2}P(0 \leq x4 \leq 1, 0 < y2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 전류 확산층에 접합된 지지 기판을 구비하고, 제1 및 제2 클래드층을 조성식 $(Al_{x3}Ga_{1-x3})_{y1}In_{1-y1}P; 0 \leq x3 \leq 1, 0 < y1 \leq 1)$ 로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 760~850nm로 설정해서 이루어지는 것을 특징으로 한다.

[0366] 제11 실시 형태에 따른 발광 다이오드에 있어서의 AlGaAs 배리어층(18)을, 조성식 $(Al_{x4}Ga_{1-x4})_{y2}In_{1-y2}P(0 \leq x4 \leq 1, 0 < y2 \leq 1)$ 로 이루어지는 배리어층으로 한 점이 제11 실시 형태에 따른 발광 다이오드와 상이하다.

[0367] 상기 X3은, 발광 효율을 높이기 위해서, 웰층(17)보다도 밴드갭이 커지는 조성으로 하는 것이 바람직하고, 결정성의 관점으로부터 Al 농도는 낮은 쪽이 바람직하기 때문에, X3은 0.3~0.7, Y2는 0.4~0.6의 범위가 보다 바람직하다. 최적인 X3, Y2의 조성은 웰층의 조성과의 관계에서 결정된다.

[0368] <발광 다이오드(제13 실시 형태)>

[0369] 도 8(a) 및 (b)는, 본 발명을 적용한 제13 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면으로서, 도 8(a)은 평면도, 도 8(b)은 도 8(a) 중에 도시하는 C-C' 선을 따른 단면도이다.

[0370] 제13 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{x1}Ga_{1-x1})As(0 \leq x1 \leq 0.2)$ 로 이루어지는 웰층과, 조성식 $(Al_{x2}Ga_{1-x2})As(0 < x2 \leq 1)$ 로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층(11)과, 활성층을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부와, 발광부 상에 형성된 전류 확산층(8)과, 발광부에 대해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층(23)을 포함하고, 전류 확산층(8)에 접합된 지지 기판(31)을 구비하고, 제1 및 제2 클래드층(9, 13)이 조성식 $(Al_{x3}Ga_{1-x3})_{y1}In_{1-y1}P; 0 \leq x3 \leq 1, 0 < y1 \leq 1)$ 로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고 발광 파장을 760~850nm로 설정해서 이루어지는 것

을 특징으로 한다.

- [0371] 제13 실시 형태에 따른 발광 다이오드에서는, 발광 파장에 대하여 90% 이상의 반사율을 갖고, 발광부에 대향해서 배치하는 반사층(23)을 구비한 지지 기관(30)을 가지므로, 주된 광 취출면으로부터 효율적으로 광을 취출할 수 있다.
- [0372] 도 8에 도시한 예에서는, 지지 기관(31)은, 전류 확산층(8)의 하측의 면(8b)에, 제2 전극(21)을 구비하고, 또한 그 제2 전극(8)을 피복하도록 투명 도전막(22)과 반사층(23)이 적층되어 이루어지는 반사 구조체와, 실리콘 또는 게르마늄으로 이루어지는 층(기관)(30)을 구비하고 있다.
- [0373] 제13 실시 형태에 따른 발광 다이오드에 있어서는, 지지 기관(31)은 실리콘 또는 게르마늄으로 이루어지는 층을 포함하는 것이 바람직하다. 부식되기 어려운 재질이기에 때문에, 내습성이 향상하기 때문이다.
- [0374] 반사층(23)은 예를 들면, 은(Ag), 알루미늄(Al), 금(Au) 또는 이들의 합금 등에 의해 구성된다. 이들 재료는 광 반사율이 높아, 반사층(23)로부터의 광 반사율을 90% 이상으로 할 수 있다.
- [0375] 지지 기관(31)은, 이 반사층(23)에, AuIn, AuGe, AuSn 등의 공정 금속으로, 실리콘, 게르마늄 등의 저렴한 기관(층)에 접합하는 조합을 이용할 수 있다. 특히 AuIn은, 접합 온도가 낮아, 열팽창 계수가 발광부와 차이가 있지만, 가장 저렴한 실리콘 기관(실리콘층)을 접합하기 위해서는 최적인 조합이다.
- [0376] 지지 기관(31)은 또한, 전류 확산층, 반사층 금속 및 공정 금속이 상호 확산되지 않도록, 예를 들면, 티타늄(Ti), 텅스텐(W), 백금(Pt) 등의 고용점 금속으로 이루어지는 층이 삽입된 구성으로 하는 것도 품질의 안정성으로부터 바람직하다.
- [0377] <발광 다이오드(제14 실시 형태)>
- [0378] 도 9는, 본 발명을 적용한 제14 실시 형태에 따른 발광 다이오드를 설명하기 위한 도면이다.
- [0379] 본 발명을 적용한 제14 실시 형태에 따른 발광 다이오드는, 조성식 $(Al_{X1}Ga_{1-X1})As$ ($0 \leq X1 \leq 0.2$)로 이루어지는 웰층과, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 < X2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층(11)과, 이 활성층을 사이에 끼우는 제1 클래드층(9)과 제2 클래드층(13)을 갖는 발광부와, 발광부 상에 형성된 전류 확산층(8)과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층(53)과 금속 기관(50)을 포함하고, 전류 확산층(8)에 접합된 지지 기관(51)을 구비하고, 제1 및 제2 클래드층(9, 13)을 조성식 $(Al_{X3}Ga_{1-X3})_{Y1}In_{1-Y1}P$ ($0 \leq X3 \leq 1$, $0 < Y1 \leq 1$)로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 760~850nm로 설정해서 이루어지는 것을 특징으로 한다.
- [0380] 제14 실시 형태에 따른 발광 다이오드에서는, 지지 기관이 금속 기관을 포함하는 점이 제13 실시 형태에 따른 발광 다이오드에 대하여 특징적인 구성이다.
- [0381] 금속 기관은 방열성이 높아, 발광 다이오드를 고휘도로 발광하는 데에 기여함과 함께, 발광 다이오드의 수명을 장수명으로 할 수 있다.
- [0382] 방열성의 관점으로부터는, 금속 기관은 열 전도율이 130W/m·K 이상의 금속으로 이루어지는 것이 특히 바람직하다. 열 전도율이 130W/m·K 이상의 금속으로서, 예를 들면, 몰리브덴(138W/m·K)이나 텅스텐(174W/m·K)이 있다.
- [0383] 도 9에 도시하는 바와 같이, 화합물 반도체층(2)은, 활성층(11)과, 가이드층(도시 생략)을 개재해서 그 활성층(11)을 사이에 끼우는 제1 클래드층(하부 클래드)(9) 및 제2 클래드층(상부 클래드)(13)과, 제1 클래드층(하부 클래드)(9)의 하측에 전류 확산층(8)과, 제2 클래드층(상부 클래드)(13)의 상측에 제1 전극(55)과 평면에서 보아 대략 동일한 사이즈의 콘택트층(56)을 갖는다.
- [0384] 지지 기관(51)은, 전류 확산층(8)의 하측의 면(8b)에, 제2 전극(57)을 구비하고, 또한 그 제2 전극(57)을 피복하도록 투명 도전막(52)과 반사층(53)이 적층되어 이루어지는 반사 구조체와, 금속 기관(50)으로 이루어지고, 반사 구조체를 구성하는 반사층(53)의 화합물 반도체층(2)과 반대측의 면(53b)에, 금속 기관(50)의 접합면(50a)이 접합되어 있다.
- [0385] 반사층(53)은 예를 들면, 구리, 은, 금, 알루미늄 등의 금속 또는 이들의 합금 등에 의해 구성된다. 이들 재료는 광 반사율이 높아, 반사 구조체로부터의 광 반사율을 90% 이상으로 할 수 있다. 반사층(53)을 형성하는 것에 의해, 활성층(11)으로부터의 광을 반사층(53)에서 정면 방향 f로 반사시켜, 정면 방향 f에서의 광 취출 효율

을 향상시킬 수 있다. 이에 의해, 발광 다이오드를 보다 고휘도화할 수 있다.

- [0386] 반사층(53)은, 투명 도전막(52) 측으로부터 Ag, Ni/Ti 배리어층, Au계의 공정 금속(접속용 금속)으로 이루어지는 적층 구조가 바람직하다.
- [0387] 상기 접속용 금속은, 전기 저항이 낮고, 저온에서 용융하는 금속이다. 상기 접속용 금속을 이용함으로써, 화합물 반도체층(2)에 열 스트레스를 부여하는 일없이, 금속 기판을 접속할 수 있다.
- [0388] 접속용 금속으로서는, 화학적으로 안정하고, 용점이 낮은 Au계의 공정 금속 등이 이용된다. 상기 Au계의 공정 금속으로서는, 예를 들면, AuSn, AuGe, AuSi 등의 합금의 공정 조성(Au계의 공정 금속)을 들 수 있다.
- [0389] 또한, 접속용 금속에는, 티타늄, 크롬, 텅스텐 등의 금속을 첨가하는 것이 바람직하다. 이에 의해, 티타늄, 크롬, 텅스텐 등의 금속이 배리어 금속으로서 기능하여, 금속 기판에 포함되는 불순물 등이 반사층(53) 측으로 확산하여, 반응하는 것을 억제할 수 있다.
- [0390] 투명 도전막(52)은, ITO막, IZO막 등에 의해 구성되어 있다. 또한, 반사 구조체는, 반사층(53)만으로 구성해도 된다.
- [0391] 또한, 투명 도전막(52) 대신에, 또는, 투명 도전막(52)과 함께, 투명한 재료의 굴절률차를 이용한 소위 콜드 미러, 예를 들면, 산화 타타늄막, 산화 규소막의 다층막이나 백색의 알루미늄, AlN을 이용하여, 반사층(53)에 조합해도 된다.
- [0392] 금속 기판(50)은 복수의 금속층으로 이루어지는 것을 이용할 수 있다.
- [0393] 금속 기판은 2종류의 금속층이 교대로 적층되어 이루어지는 것이 바람직하다.
- [0394] 특히, 이 2종류의 금속층의 층수는 합해서 홀수로 하는 것이 바람직하다.
- [0395] 이 경우, 금속 기판의 휘어짐이나 균열의 관점으로로부터, 제2 금속층(50B)으로서 화합물 반도체층(2)보다 열팽창 계수가 작은 재료를 이용할 때에는, 제1 금속층(50A, 50A)을 화합물 반도체층(3)보다 열팽창 계수가 큰 재료로 이루어지는 것을 이용하는 것이 바람직하다. 금속 기판 전체로서의 열팽창 계수가 화합물 반도체층의 열팽창 계수에 가까운 것으로 되기 때문에, 화합물 반도체층과 금속 기판을 접합할 때의 금속 기판의 휘어짐이나 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있기 때문이다. 마찬가지로, 제2 금속층(50B)으로서 화합물 반도체층(2)보다 열팽창 계수가 큰 재료를 이용할 때에는, 제1 금속층(50A, 50A)을 화합물 반도체층(2)보다 열팽창 계수가 작은 재료로 이루어지는 것을 이용하는 것이 바람직하다. 금속 기판 전체로서의 열팽창 계수가 화합물 반도체층의 열팽창 계수에 가까운 것으로 되기 때문에, 화합물 반도체층과 금속 기판을 접합할 때의 금속 기판의 휘어짐이나 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상할 수 있기 때문이다.
- [0396] 이상의 관점으로로부터는, 2종류의 금속층은 어느 쪽이 제1 금속층이든 제2 금속층이든 상관없다.
- [0397] 2종류의 금속층으로서는, 예를 들면, 은(열팽창 계수=18.9ppm/K), 구리(열팽창 계수=16.5ppm/K), 금(열팽창 계수=14.2ppm/K), 알루미늄(열팽창 계수=23.1ppm/K), 니켈(열팽창 계수=13.4ppm/K) 및 이들의 합금 중 어느 하나로 이루어지는 금속층과, 몰리브덴(열팽창 계수=5.1ppm/K), 텅스텐(열팽창 계수=4.3ppm/K), 크롬(열팽창 계수=4.9ppm/K) 및 이들의 합금 중 어느 하나로 이루어지는 금속층의 조합을 이용할 수 있다.
- [0398] 적합한 예로서는, Cu/Mo/Cu의 3층으로 이루어지는 금속 기판을 들 수 있다. 상기한 관점에서는 Mo/Cu/Mo의 3층으로 이루어지는 금속 기판에서도 마찬가지로의 효과가 얻어지지만, Cu/Mo/Cu의 3층으로 이루어지는 금속 기판은, 기계적 강도가 높은 Mo를 가공하기 쉬운 Cu 사이에 끼운 구성이므로, Mo/Cu/Mo의 3층으로 이루어지는 금속 기판보다도 절단 등의 가공이 용이하다고 하는 이점이 있다.
- [0399] 금속 기판 전체로서의 열팽창 계수는 예를 들면, Cu(30 μ m)/Mo(25 μ m)/Cu(30 μ m)의 3층으로 이루어지는 금속 기판에서는 6.1ppm/K이며, Mo(25 μ m)/Cu(70 μ m)/Mo(25 μ m)의 3층으로 이루어지는 금속 기판에서는 5.7ppm/K가 된다.
- [0400] 또한, 방열의 관점으로로부터는, 금속 기판을 구성하는 금속층은 열 전도율이 높은 재료로 이루어지는 것이 바람직하다. 이에 의해, 금속 기판의 방열성을 높게 해서, 발광 다이오드를 고휘도로 발광시킬 수 있음과 함께, 발광 다이오드의 수명을 장수명으로 할 수 있기 때문이다.
- [0401] 예를 들면, 은(열 전도율=420W/m·K), 구리(열 전도율=398W/m·K), 금(열 전도율=320W/m·K), 알루미늄(열 전도율=236W/m·K), 몰리브덴(열 전도율=138W/m·K), 텅스텐(열 전도율=174W/m·K) 및 이들의 합금 등을 이용하는

것이 바람직하다.

- [0402] 그들의 금속층의 열팽창 계수가 화합물 반도체층의 열팽창 계수와 대략 동일한 재료로 이루어지는 것이 보다 바람직하다. 특히, 금속층의 재료가, 화합물 반도체층의 열팽창 계수의 $\pm 1.5\text{ppm/K}$ 이내인 열팽창 계수를 갖는 재료인 것이 바람직하다. 이에 의해, 금속 기판과 화합물 반도체층의 접합 시의 발광부예의 열에 의한 스트레스를 작게 할 수 있고, 금속 기판을 화합물 반도체층과 접속시켰을 때의 열에 의한 금속 기판의 균열을 억제할 수 있어, 발광 다이오드의 제조 수율을 향상시킬 수 있다.
- [0403] 금속 기판 전체로서의 열 전도율은 예를 들면, $\text{Cu}(30\mu\text{m})/\text{Mo}(25\mu\text{m})/\text{Cu}(30\mu\text{m})$ 의 3층으로 이루어지는 금속 기판에서는 $250\text{W/m}\cdot\text{K}$ 가 되고, $\text{Mo}(25\mu\text{m})/\text{Cu}(70\mu\text{m})/\text{Mo}(25\mu\text{m})$ 의 3층으로 이루어지는 금속 기판에서는 $220\text{W/m}\cdot\text{K}$ 가 된다.
- [0404] <발광 다이오드(제15 실시 형태)>
- [0405] 제15 실시 형태에 따른 발광 다이오드는, 조성식 $(\text{Al}_{x1}\text{Ga}_{1-x1})\text{As}$ ($0 \leq x1 \leq 0.2$)로 이루어지는 웰층과, 조성식 $(\text{Al}_{x3}\text{Ga}_{1-x3})_{y2}\text{In}_{1-y2}\text{P}$ ($0 \leq x3 \leq 1, 0 < y2 \leq 1$)로 이루어지는 배리어층을 교대로 적층한 양자웰 구조의 활성층과, 이 활성층을 사이에 끼우는 제1 클래드층과 제2 클래드층을 갖는 발광부와, 발광부 상에 형성된 전류 확산층과, 발광부에 대향해서 배치해서 발광 파장에 대하여 90% 이상의 반사율을 갖는 반사층을 포함하고, 전류 확산층에 접합된 지지 기판을 구비하고, 제1 및 제2 클래드층을 조성식 $(\text{Al}_{x2}\text{Ga}_{1-x2})_{y1}\text{In}_{1-y1}\text{P}$; ($0 \leq x2 \leq 1, 0 < y1 \leq 1$)로 이루어지는 것으로 하고, 웰층의 두께를 3~30nm로 하고, 발광 파장을 760~850nm로 설정해서 이루어지는 것을 특징으로 한다.
- [0406] 본 실시 형태에 있어서도, 지지 기판으로서, 제13 실시 형태 및 제14 실시 형태에서 예시한 것을 이용할 수 있다.
- [0407] (실시예)
- [0408] 이하, 본 발명의 효과를, 실시예를 이용하여 구체적으로 설명한다. 또한, 본 발명은 이들의 실시예에 한정되는 것은 아니다.
- [0409] 실시예에서는, 본 발명에 따른 발광 다이오드를 제작한 예를 구체적으로 설명한다. 발광 다이오드를 제작한 후, 특성 평가를 위해서 발광 다이오드 칩을 기판 상에 실장한 발광 다이오드 램프를 제작하였다.
- [0410] (실시예 1)
- [0411] 실시예 1의 발광 다이오드는 제1 실시 형태의 실시예이다.
- [0412] 우선 Si를 도프한 n형의 GaAs 단결정으로 이루어지는 GaAs 기판 상에, 화합물 반도체층을 순차적으로 적층해서 에피택셜 웨이퍼를 제작하였다. GaAs 기판은, (100)면으로부터 (0-1-1)방향으로 15° 기울인 면을 성장면으로 하고, 캐리어 농도를 $2 \times 10^{18} \text{cm}^{-3}$ 으로 하였다. 또한, GaAs 기판의 층 두께는, 약 $0.5\mu\text{m}$ 로 하였다. 화합물 반도체층이란, Si를 도프한 GaAs로 이루어지는 n형의 완충층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 컨택트층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 상부 클래드층, $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 로 이루어지는 상부 가이드층, $\text{Al}_{0.18}\text{Ga}_{0.82}\text{As}/\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 의 20쌍으로 이루어지는 웰층/배리어층, $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 로 이루어지는 하부 가이드층, Mg를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 p형의 하부 클래드층, $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 박막의 중간층, Mg 도프한 p형 GaP로 이루어지는 전류 확산층이다.
- [0413] 본 실시예에서는, 감압 유기 금속 화학 기상 퇴적 장치법(MOCVD 장치)을 이용하여, 직경 76mm, 두께 $350\mu\text{m}$ 의 GaAs 기판에 화합물 반도체층을 에피택셜 성장시켜, 에피 웨이퍼를 형성하였다. 에피택셜 성장층을 성장시킬 때, III족 구성 원소의 원료로서는, 트리메틸 알루미늄($(\text{CH}_3)_3\text{Al}$), 트리메틸 갈륨($(\text{CH}_3)_3\text{Ga}$) 및 트리메틸 인듐($(\text{CH}_3)_3\text{In}$)을 사용하였다. 또한, Mg의 도핑 원료로서는, 비스시클로펜타디에닐 마그네슘($\text{bis}-(\text{C}_5\text{H}_5)_2\text{Mg}$)을 사용하였다. 또한, Si의 도핑 원료로서는, 디실란(Si_2H_6)을 사용하였다. 또한, V족 구성 원소의 원료로서는, 포스핀(PH_3), 아루신(AsH_3)을 사용하였다. 또한, 각 층의 성장 온도로서는, p형 GaP로 이루어지는 전류 확산층은, 750°C 로 성장시켰다. 그 이외의 각 층에서는 700°C 에서 성장시켰다.
- [0414] GaAs로 이루어지는 완충층은, 캐리어 농도를 약 $2 \times 10^{18} \text{cm}^{-3}$, 층 두께를 약 $0.5\mu\text{m}$ 로 하였다. 컨택트층은, 캐리

어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $3.5 \mu\text{m}$ 로 하였다. 상부 클래드층은, 캐리어 농도를 약 $1 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 상부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 웰층은, 언도프이고 층 두께가 약 17 nm 인 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{As}$ 로 하고, 배리어층은 언도프이고 층 두께가 약 19 nm 인 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 로 하였다. 또한, 웰층과 배리어층을 교대로 20쌍 적층하였다. 하부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 하부 클래드층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 중간층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.05 \mu\text{m}$ 로 하였다. GaP로 이루어지는 전류 확산층은, 캐리어 농도를 약 $3 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $9 \mu\text{m}$ 로 하였다.

[0415] 다음으로, 전류 확산층을 표면으로부터 약 $1 \mu\text{m}$ 의 깊이에서 이르는 영역까지 연마하여, 경면 가공하였다. 이 경면 가공에 의해, 전류 확산층의 표면의 거칠기를 0.18 nm 로 하였다. 한편, 상기한 전류 확산층의 경면 연마한 표면에 접착하는 n형 GaP로 이루어지는 지지 기판을 준비하였다. 이 접착용의 지지 기판에는, 캐리어 농도가 약 $2 \times 10^{17} \text{ cm}^{-3}$ 이 되도록 Si를 첨가하고, 면방위를 (111)로 한 단결정을 이용하였다. 또한, 지지 기판의 직경은 76 mm 이고, 두께는 $250 \mu\text{m}$ 이었다. 이 지지 기판의 표면은, 전류 확산층에 접합시키기 이전에 경면으로 연마하고, 제곱평균 평방근값(rms)으로 해서 0.12 nm 로 마무리해 두었다.

[0416] 다음으로, 일반적인 반도체 재료 접착 장치에, 상기한 지지 기판 및 에피택셜 웨이퍼를 반입하고, $3 \times 10^{-5} \text{ Pa}$ 가 될 때까지 장치 내를 진공으로 배기하였다.

[0417] 다음으로, 지지 기판 및 전류 확산층의 쌍방의 표면에, 전자를 충돌시켜 중성(뉴트럴)화한 Ar 빔을 3분간에 걸쳐 조사하였다. 그 후, 진공으로 유지한 접착 장치 내에서, 지지 기판 및 전류 확산층의 표면을 서로 겹치고, 각각의 표면에서의 압력이 50 g/cm^2 가 되도록 하중을 걸고, 쌍방을 실온에서 접합하였다. 이와 같이 하여 접합 웨이퍼를 형성하였다.

[0418] 다음으로, 상기 접합 웨이퍼로부터, GaAs 기판 및 GaAs 완충층을 암모니아계 에천트에 의해 선택적으로 제거하였다. 다음으로, 컨택트층의 표면에 제1 전극으로서, AuGe, Ni 합금을 두께가 $0.5 \mu\text{m}$, Pt를 $0.2 \mu\text{m}$, Au를 $1 \mu\text{m}$ 로 되도록 진공 증착법에 의해 성막하였다. 그 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 실시하고, 제1 전극으로서 n형 오믹 전극을 형성하였다. 다음으로, GaAs 기판을 제거한 면인 광 추출면의 표면에 조면화 처리를 실시하였다.

[0419] 다음으로, 제2 전극으로서 p형 오믹 전극을 형성하는 영역의 에피층을 선택적으로 제거하여, 전류 확산층을 노출시켰다. 이 노출된 전류 확산층의 표면에, AuBe를 $0.2 \mu\text{m}$, Au를 $1 \mu\text{m}$ 로 되도록 진공 증착법으로 p형 오믹 전극을 형성하였다. 그 후, 450°C 에서 10분간 열처리를 행하여 합금화하고, 저저항의 p형 및 n형 오믹 전극을 형성하였다.

[0420] 다음으로, 두께 $0.2 \mu\text{m}$ 의 Au로 이루어지는 $230 \mu\text{m} \square$ 의 제3 전극을 지지 기판에 형성하였다.

[0421] 다음으로, 다이싱 소우를 이용하여, 지지 기판의 이면으로부터, 제3 전극을 형성하고 있지 않은 영역을 경사면의 각도 α 가 70° 가 됨과 함께 수직면의 두께가 $80 \mu\text{m}$ 가 되도록 V자 형상의 홈 파기를 행하였다. 다음으로, 화합물 반도체층 측으로부터 다이싱 소우를 이용하여 $350 \mu\text{m}$ 간격으로 절단하여, 칩화하였다. 다이싱에 의한 파쇄층 및 오염을 황산·과산화수소 혼합액으로 에칭 제거하여, 실시예 1의 발광 다이오드를 제작하였다.

[0422] 상기한 바와 같이 해서 제작한 실시예 1의 발광 다이오드 칩을, 마운트 기판 상에 실장한 발광 다이오드 램프를 100개 조립하였다. 이 발광 다이오드 램프는, 마운트는, 다이본더로 지지(마운트)하고, 발광 다이오드의 n형 오믹 전극과 마운트 기판의 표면에 설치한 n전극 단자를 금선으로 와이어 본딩하고, p형 오믹 전극과 p전극 단자를 금선으로 와이어 본딩한 후, 일반적인 에폭시 수지로 밀봉해서 제작하였다.

[0423] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 1에 나타낸다.

[0424] 표 10에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 730 nm 로 하는 적외광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(Vf)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.0볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 14mW이었다.

[0425] 이 램프 20개를, 60°C , 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.

[0426] 1000시간 후의 출력 잔존율의 평균은, 98%이었다. VF의 변동은 없고 100%이었다.

표 10

[0427]

	소자 구조	기판	배리어층	λp (nm)	Po (20mA)	VF (mA)	신뢰성 Po:%	신뢰성 VF:%
실시예1	투명	GaP	AlGaAs	730	14.0	2.0	98	100
실시예2	투명	GaP	AlGaInP	730	12.0	2.2	99	100
실시예3	반사	Si	AlGaAs	730	10.0	1.9	98	100
실시예4	반사	Cu/Mo/Cu	AlGaAs	730	10.0	1.9	99	100
실시예5	반사	Si	AlGaInP	730	9.4	2.1	99	100
실시예6	투명	GaP	AlGaAs	720	14.0	2.0	100	100
실시예7	투명	GaP	AlGaInP	720	12.0	2.2	99	100
실시예8	반사	Si	AlGaAs	720	10.0	1.9	98	100
실시예9	반사	Si	AlGaInP	720	9.5	2.1	100	100
실시예10	투명	GaP	AlGaAs	760	15.0	2.0	98	100
실시예11	투명	GaP	AlGaInP	760	12.7	2.2	99	100
실시예12	반사	Si	AlGaAs	760	11.0	1.9	98	100
실시예13	투명	GaP	AlGaAs	725	14.0	2.0	98	100
실시예14	투명	GaP	AlGaAs	755	14.7	2.0	98	100
비교예1	액상 에피	AlGaAs		730	5.0	1.9	83	105

[0428] (실시예 2)

[0429] 실시예 2의 발광 다이오드는 제2 실시 형태의 실시예이다.

[0430] 화합물 반도체층은 이하의 조건에서 형성하고, 그 밖의 조건은 실시예 1과 마찬가지로이다.

[0431] Si를 도프한 n형의 GaAs 단결정으로 이루어지는 GaAs 기판 상은, (100)면으로부터 (0-1-1)방향으로 15° 기울인 면을 성장면으로 하고, 캐리어 농도를 $2 \times 10^{18} \text{ cm}^{-3}$ 으로 하였다. 화합물 반도체층으로서, Si를 도프한 GaAs로 이루어지는 n형의 완충층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 컨택트층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 상부 클래드층, $(\text{Al}_{0.3}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 상부 가이드층, $\text{Al}_{0.18}\text{Ga}_{0.82}\text{As}/(\text{Al}_{0.1}\text{Ga}_{0.9})_{0.5}\text{In}_{0.5}\text{P}$ 의 쌍으로 이루어지는 웰층/배리어층, $(\text{Al}_{0.3}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 하부 가이드층, Mg를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 p형의 하부 클래드층, $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 박막의 중간층, Mg 도프한 p형 GaP로 이루어지는 전류 확산층을 이용하였다.

[0432] GaAs로 이루어지는 완충층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 컨택트층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $3.5 \mu\text{m}$ 로 하였다. 상부 클래드층은, 캐리어 농도를 약 $1 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 상부 가이드층은, 언도프이고 층 두께를 약 50nm로 하였다. 웰층은, 언도프이고 층 두께가 약 17nm인 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{As}$ 로 하고, 배리어층은 언도프이고 층 두께가 약 19nm인 $(\text{Al}_{0.1}\text{Ga}_{0.9})_{0.5}\text{In}_{0.5}\text{P}$ 이라고 하였다. 또한, 웰층 및 배리어층의 페어수를 20쌍으로 하였다. 하부 가이드층은, 언도프이고 층 두께를 약 50nm로 하였다. 하부 클래드층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 중간층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.05 \mu\text{m}$ 로 하였다. GaP로 이루어지는 전류 확산층은, 캐리어 농도를 약 $3 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $9 \mu\text{m}$ 로 하였다.

[0433] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 10에 나타낸다.

[0434] 표 10에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 730nm로 하는 적외광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.2볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 12mW이었다.

- [0435] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0436] 1000시간 후의 출력 잔존율의 평균은, 99%이었다. VF의 변동은 없고 100%이었다.
- [0437] (실시예 3)
- [0438] 실시예 3의 발광 다이오드는 제3 실시 형태의 실시예이고, 전류 확산층에, 반사층을 포함하는 지지 기판을 접합한 구성이다. 도 8(a) 및 (b)를 참조하여, 실시예 3의 발광 다이오드의 제조 방법에 대해서 설명한다. 또한, 하부 가이드층 및 상부 가이드층은 도시를 생략하고 있다.
- [0439] 화합물 반도체층은 실시예 1의 조건과 동일한 조건에서 형성하였다.
- [0440] 다음으로, 전류 확산층(8)의 표면에, AuBe/Au 합금을 두께 0.2 μ m이고 20 μ m ϕ 의 도트로 이루어지는 전극(21)을, 광 취출면의 단부로부터 50 μ m가 되도록 등간격으로 8개 배치하였다.
- [0441] 다음으로, 투명 도전막인 ITO막(22)을 0.4 μ m의 두께로 스퍼터법에 의해 형성하였다. 또한, 은 합금/Ti/Au로 이루어지는 층(23)을 0.2 μ m/0.1 μ m/1 μ m의 두께로 형성하고, 반사층(23)으로 하였다.
- [0442] 한편, 실리콘 기판(30)의 표면에, Ti/Au/In으로 이루어지는 층(32)을 0.1 μ m/0.5 μ m/0.3 μ m의 두께로 형성하였다. 실리콘 기판(30)의 이면에, Ti/Au로 이루어지는 층(33)을 0.1 μ m/0.5 μ m의 두께로 형성하였다. 상기 발광 다이오드 웨이퍼층의 Au와 실리콘 기판층의 In 표면을 서로 겹치고, 320℃에서 가열·500g/cm²로 가압하여, 지지 기판을 발광 다이오드 웨이퍼에 접합하였다.
- [0443] GaAs 기판을 제거하고, 콘택트층(16)의 표면에, AuGe/Au로 이루어지는 직경 100 μ m이고 두께 3 μ m인 오믹 전극(25)을 형성하고, 420℃에서, 5분간 열처리하고, p, n오믹 전극을 합금화 처리하였다.
- [0444] 다음으로, 콘택트층(16)의 표면을 조면화 처리하였다.
- [0445] 칩으로 분리하기 위한 절단 예정 부분의 반도체층과 반사층, 공정 금속을 제거하고, 실리콘 기판을 다이싱 소우로, 350 μ m 피치로 정방향으로 절단하였다.
- [0446] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 10에 나타낸다.
- [0447] 표 10에 나타내는 바와 같이, 상면 및 하면의 전극 사이에 전류를 흘린 바, 피크 파장 730nm로 하는 광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 1.9볼트(V)로 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 10mW이었다.
- [0448] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0449] 1000시간 후의 출력 잔존율의 평균은, 98%이었다. VF의 변동은 없고 100%이었다.
- [0450] (실시예 4)
- [0451] 실시예 4의 발광 다이오드는 제4 실시 형태의 실시예이고, 전류 확산층에, 반사층과 금속 기판을 포함하는 지지 기판을 접합한 구성이다. 도 9를 참조하여, 실시예 4의 발광 다이오드를 설명한다.
- [0452] 우선, 금속 기판을 제작하였다. 2매의 대략 평판 형상이고 두께 10 μ m인 Cu판과, 1매의 대략 평판 형상의 두께 75 μ m인 Mo판을 준비하고, 2매의 Cu판 사이에 Mo판을 삽입해서 이들을 겹쳐서 배치하고, 가압 장치에 상기 기판을 배치하여, 고온하에서 그들 금속판에 대하여 그들 사이에 끼우는 방향에 하중을 걸었다. 이에 의해, Cu(10 μ m)/Mo(75 μ m)/Cu(10 μ m)의 3층으로 이루어지는 금속 기판을 제작하였다.
- [0453] 화합물 반도체층은, 완충층과 콘택트층 사이에, Si 도프의 (Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P로 이루어지고, 층 두께가 0.5 μ m인 에칭 스톱층을 형성한 점을 제외하고, 실시예 1의 조건과 동일한 조건에서 형성하였다.
- [0454] 전류 확산층(8)의 면(8b) 상에, 0.4 μ m의 두께의 AuBe 상에 0.2 μ m의 두께의 Au가 적층되어 이루어지고, 평면에서 보았을 때에 20 μ m ϕ 의 원 형상이며, 60 μ m의 간격으로 제2 전극(57)을 형성하였다.
- [0455] 다음으로, 투명 도전막인 ITO막(52)을, 제2 전극(57)을 피복하도록, 0.8 μ m의 두께로 스퍼터법에 의해 형성하였다.
- [0456] 다음으로, ITO막(52) 상에, 증착법을 이용하여, 은(Ag) 합금으로 이루어지는 막을 0.7 μ m 성막한 후, 니켈(Ni)/

티타늄(Ti)으로 이루어지는 막을 0.5 μ m, 금(Au)으로 이루어지는 막을 1 μ m 성막하고, 반사막(53)을 형성하였다.

- [0457] 다음으로, 화합물 반도체층의 전류 확산층(8) 상에 ITO막(52) 및 반사막(53)을 형성한 구조체와, 금속 기판을 대향해서 서로 겹치도록 배치해서 감압 장치 내에 반입하고, 400 $^{\circ}$ C에서 가열한 상태에서, 500kg중의 하중으로 그들을 접합해서 접합 구조체를 형성하였다.
- [0458] 다음으로, 접합 구조체로부터, 화합물 반도체층의 성장 기관인 GaAs 기관과 완충층을 암모니아계 에천트에 의해 선택적으로 제거하고, 또한, 에칭 스톱층을 염산계 에천트에 의해 선택적으로 제거하였다.
- [0459] 다음으로, 진공 증착법을 이용하여, 콘택트층 상에, AuGe를 0.15 μ m의 두께로 성막한 후, Ni를 0.05 μ m의 두께로 성막하고, 또한 Au를 1 μ m의 두께로 성막하여, 제1 전극용 도전막을 형성하였다. 다음으로, 포토리소그래피를 이용하여, 전극용 도전막을 평면에서 보아 원 형상으로 패터닝하여, 직경 100 μ m이고 두께 3 μ m인 제1 전극(55)을 제작하였다.
- [0460] 다음으로, 제1 전극을 마스크로 하여, 암모니아계 에천트에 의해, 콘택트층 중, 제1 전극의 아래 이외의 부분을 에칭으로 제거해서 콘택트층(56)을 형성하였다.
- [0461] 칩으로 분리하기 위한 절단 예정 부분의 화합물 반도체층과 반사층, 공정 금속을 제거하고, 금속 기판을 레이저 다이싱에 의해, 350 μ m 피치로 정방향으로 절단하였다.
- [0462] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 10에 나타낸다.
- [0463] 표 10에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 730nm로 하는 적외광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기관의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 1.9볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 10mW이었다.
- [0464] 이 램프 20개를, 60 $^{\circ}$ C, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0465] 1000시간 후의 출력 잔존율의 평균은, 99%이었다. V_F 의 변동은 없고 100%이었다.
- [0466] *(실시예 5)
- [0467] 실시예 5의 발광 다이오드는 제5 실시 형태의 실시예이다.
- [0468] 화합물 반도체층은 실시예 2의 조건과 동일한 조건에서 형성하고, 그 밖의 조건은 실시예 3과 마찬가지로이다.
- [0469] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 10에 나타낸다.
- [0470] 표 10에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 730nm로 하는 적외광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기관의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.1볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 9.4mW이었다.
- [0471] 이 램프 20개를, 60 $^{\circ}$ C, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0472] 1000시간 후의 출력 잔존율의 평균은, 99%이었다. V_F 의 변동은 없고 100%이었다.
- [0473] (실시예 6)
- [0474] 실시예 6의 발광 다이오드는 제1 실시 형태의 실시예이고, 발광 피크 파장을 720nm로 하기 위해 웰층의 Al 조성 $X1=0.20$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 \leq X2 \leq 1$)의 배리어층의 Al 조성 $X2=0.35$ 로 한 것, 즉, 발광부를 $Al_{0.2}Ga_{0.8}As/Al_{0.35}Ga_{0.65}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 1과 동일한 조건에서 제작하였다.
- [0475] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타낸 바와 같고, 피크 파장 680nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 14mW, 2V, 100%, 100%이었다.

- [0476] (실시예 7)
- [0477] 실시예 7의 발광 다이오드는 제2 실시 형태의 실시예이고, 발광 피크 파장을 720nm로 하기 위해 웰층의 Al 조성 $X1=0.20$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.28}Ga_{0.72}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 1과 동일한 조건에서 제작하였다.
- [0478] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 680nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 12mW, 2.2V, 99%, 100%이었다.
- [0479] (실시예 8)
- [0480] 실시예 8의 발광 다이오드는 제3 실시 형태의 실시예이고, 발광 피크 파장을 720nm로 하기 위해 웰층의 Al 조성 $X1=0.20$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.35$ 로 한 것, 즉, 발광부를 $Al_{0.20}Ga_{0.80}As/Al_{0.35}Ga_{0.65}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 3과 동일한 조건에서 제작하였다. 또한, 배리어층의 Al 조성 $X2=0.30$ 으로부터 $X=0.35$ 로 변한 것은 발광 피크 파장에는 영향을 주지 않고 있다.
- [0481] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 720nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 10mW, 1.9V, 98%, 100%이었다.
- [0482] (실시예 9)
- [0483] 실시예 9의 발광 다이오드는 제5 실시 형태의 실시예이고, 발광 피크 파장을 720nm로 하기 위해 웰층의 Al 조성 $X1=0.20$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.20}Ga_{0.80}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 3과 동일한 조건에서 제작하였다.
- [0484] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 720nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 9.5mW, 2.1V, 100%, 100%이었다.
- [0485] (실시예 10)
- [0486] 실시예 10의 발광 다이오드는 제1 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해 웰층의 Al 조성 $X1=0.13$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.3$ 으로 한 것, 즉, 발광부를 $Al_{0.13}Ga_{0.87}As/Al_{0.3}Ga_{0.7}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 1과 동일한 조건에서 제작하였다.
- [0487] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 760nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 15mW, 2.0V, 98%, 100%이었다.
- [0488] (실시예 11)
- [0489] 실시예 11의 발광 다이오드는 제2 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해 웰층의 Al 조성 $X1=0.13$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.13}Ga_{0.87}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 2와 동일한 조건에서 제작하였다.
- [0490] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 760nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각,

12.7mW, 2.2V, 99%, 100%이었다.

- [0491] (실시예 12)
- [0492] 실시예 12의 발광 다이오드는 제3 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해 웰층의 Al 조성 $X1=0.13$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.3$ 으로 한 것, 즉, 발광부를 $Al_{0.13}Ga_{0.87}As/Al_{0.3}Ga_{0.7}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 3과 동일한 조건에서 제작하였다.
- [0493] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 760nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_f), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 11mW, 1.9V, 98%, 100%이었다.
- [0494] (실시예 13)
- [0495] 실시예 13의 발광 다이오드는 제1 실시 형태의 실시예이고, 발광 피크 파장을 725nm로 하기 위해 웰층의 Al 조성 $X1=0.19$ 로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.35$ 로 한 것, 즉, 발광부를 $Al_{0.19}Ga_{0.81}As/Al_{0.35}Ga_{0.65}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 1과 동일한 조건에서 제작하였다.
- [0496] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 725nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_f), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 14mW, 2.0V, 98%, 100%이었다.
- [0497] (실시예 14)
- [0498] 실시예 14의 발광 다이오드는 제1 실시 형태의 실시예이고, 발광 피크 파장을 755nm로 하기 위해 웰층의 Al 조성 $X1=0.15$ 로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.30$ 으로 한 것, 즉, 발광부를 $Al_{0.14}Ga_{0.86}As/Al_{0.3}Ga_{0.7}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 1과 동일한 조건에서 제작하였다.
- [0499] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 10에 나타난 바와 같고, 피크 파장 755nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_f), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 14.7mW, 2.0V, 98%, 100%이었다.
- [0500] (비교예 1)
- [0501] 비교예 1의 발광 다이오드는, 종래 기술인 액상 에피택셜법으로 형성하였다. GaAs 기판에 $Al_{0.2}Ga_{0.8}As$ 발광층으로 하는 더블 헤테로 구조의 발광부를 갖는 발광 다이오드로 변경한 것이다.
- [0502] 비교예 1의 발광 다이오드의 제작은, 구체적으로는, n형의 (100)면의 GaAs 단결정 기판에, $Al_{0.7}Ga_{0.3}As$ 로 이루어지는 n형의 상부 클래드층을 $20\mu m$, $Al_{0.2}Ga_{0.8}As$ 로 이루어지는 언도프의 발광층을 $2\mu m$, $Al_{0.7}Ga_{0.3}As$ 로 이루어지는 p형의 하부 클래드층을 $20\mu m$, 발광 파장에 대하여 투명한 $Al_{0.6}Ga_{0.4}As$ 로 이루어지는 p형의 후막층을 $120\mu m$ 로 되도록 액상 에피택셜 방법에 의해 제작하였다. 이 에피택셜 성장 후에 GaAs 기판을 제거하였다. 다음으로, n형 AlGaAs의 표면에 직경 $100\mu m$ 의 n형 오믹 전극을 형성하였다. 다음으로, p형 AlGaAs의 이면에 직경 $20\mu m$ 의 p형 오믹 전극을 $80\mu m$ 간격으로 형성하였다. 다음으로, 다이싱 소우에 의해 $350\mu m$ 간격으로 절단한 후, 파쇄층을 에칭 제거해서 비교예 1의 발광 다이오드 칩을 제작하였다.
- [0503] 비교예 1의 발광 다이오드를 실장한 발광 다이오드 램프의 특성을 평가한 결과를 표 1에 나타낸다.
- [0504] 표 1에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장을 730nm로 하는 적외광이 출사되었다. 또한, 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_f)은, 약 1.9볼트(V)로 되었다. 또한, 순방향 전류를 20mA로 했을 때의 발광 출력은, 5mW이었다. 또한, 비교예 1의 어떠한 샘플에 대해서도, 본 발명의 실시예에 비해서 출력이 낮았다.
- [0505] 이 램프 20개를, $60^\circ C$, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.

- [0506] 1000시간 후의 출력 잔존율의 평균은, 83%이었다. VF의 변동은 없어 105%이었다.
- [0507] 비교예의 램프는, 본 발명의 실시예에 비해서 출력이 1/2 이하로 매우 낮았다. 또한, 고온 고습의 신뢰성도, 실시예는 거의 변동이 없었지만, 비교예는, 출력 저하와 V_f 상승이 확인되었다. 이것은, 발광 다이오드의 고농도 Al의 표면이 산화(부식)하여, 광의 투과를 저해하고, 저항이 상승했다고 생각된다.
- [0508] (실시예 15)
- [0509] 실시예 15의 발광 다이오드는 제6 실시 형태의 실시예이다.
- [0510] 우선, Si를 도프한 n형의 GaAs 단결정으로 이루어지는 GaAs 기판 상에, 화합물 반도체층을 순차적으로 적층해서 에피택셜 웨이퍼를 제작하였다. GaAs 기판은, (100)면으로부터 (0-1-1)방향으로 15° 기울인 면을 성장면으로 하고, 캐리어 농도를 $2 \times 10^{18} \text{ cm}^{-3}$ 으로 하였다. 또한, GaAs 기판의 층 두께는, 약 $0.5 \mu\text{m}$ 로 하였다. 화합물 반도체층란, Si를 도프한 GaAs로 이루어지는 n형의 완충층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 콘택트층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 상부 클래드층, $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 로 이루어지는 상부 가이드층, $\text{Al}_{0.24}\text{Ga}_{0.76}\text{As}/\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 의 쌍으로 이루어지는 웰층/배리어층, $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ 로 이루어지는 하부 가이드층, Mg를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 p형의 하부 클래드층, $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 박막의 중간층, Mg 도프한 p형 GaP로 이루어지는 전류 확산층이다.
- [0511] 본 실시예에서는, 감압 유기 금속 화학 기상 퇴적 장치법(MOCVD 장치)을 이용하여, 직경 76mm, 두께 $350 \mu\text{m}$ 의 GaAs 기판에 화합물 반도체층을 에피택셜 성장시켜, 에피택셜 웨이퍼를 형성하였다. 에피택셜 성장층을 성장시킬 때, III족 구성 원소의 원료로서는, 트리메틸 알루미늄($(\text{CH}_3)_3\text{Al}$), 트리메틸 갈륨($(\text{CH}_3)_3\text{Ga}$) 및 트리메틸 인듐($(\text{CH}_3)_3\text{In}$)을 사용하였다. 또한, Mg의 도핑 원료로서는, 비스시클로펜타디에닐 마그네슘($\text{bis}-(\text{C}_5\text{H}_5)_2\text{Mg}$)을 사용하였다. 또한, Si의 도핑 원료로서는, 디실란(Si_2H_6)을 사용하였다. 또한, V족 구성 원소의 원료로서는, 포스핀(PH_3), 아루신(AsH_3)을 사용하였다. 또한, 각 층의 성장 온도로서는, p형 GaP로 이루어지는 전류 확산층은, 750°C 에서 성장시켰다. 그 이외의 각 층에서는 700°C 에서 성장시켰다.
- [0512] GaAs로 이루어지는 완충층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 콘택트층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $3.5 \mu\text{m}$ 로 하였다. 상부 클래드층은, 캐리어 농도를 약 $1 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 상부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 웰층은, 언도프이고 층 두께가 약 17 nm 인 $\text{Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 로 하고, 배리어층은 언도프이고 층 두께가 약 19 nm 인 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 로 하였다. 또한, 웰층과 배리어층을 교대로 18쌍 적층하였다. 하부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 하부 클래드층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 중간층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.05 \mu\text{m}$ 로 하였다. GaP로 이루어지는 전류 확산층은, 캐리어 농도를 약 $3 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $9 \mu\text{m}$ 로 하였다.
- [0513] 다음으로, 전류 확산층을 표면으로부터 약 $1 \mu\text{m}$ 의 깊이 에 이르는 영역까지 연마하여, 경면 가공하였다. 이 경면 가공에 의해, 전류 확산층의 표면의 거칠기를 0.18 nm 로 하였다. 한편, 상기한 전류 확산층의 경면 연마한 표면에 접착하는 n형 GaP로 이루어지는 지지 기판을 준비하였다. 이 접착용의 지지 기판에는, 캐리어 농도가 약 $2 \times 10^{17} \text{ cm}^{-3}$ 이 되도록 Si를 첨가하고, 면방위를 (111)로 한 단결정을 이용하였다. 또한, 지지 기판의 직경은 76 mm 이고, 두께는 $250 \mu\text{m}$ 이었다. 이 지지 기판의 표면은, 전류 확산층에 접합시키기 이전에 경면으로 연마하고, 평방 평균 평방근값(rms)으로 해서 0.12 nm 로 마무리해 두었다.
- [0514] 다음으로, 일반적인 반도체 재료 접착 장치에, 상기한 지지 기판 및 에피택셜 웨이퍼를 반입하고, $3 \times 10^{-5} \text{ Pa}$ 가 될 때까지 장치 내를 진공으로 배기하였다.
- [0515] 다음으로, 지지 기판 및 전류 확산층의 쌍방의 표면에, 전자를 충돌시켜 중성(뉴트럴)화한 Ar 빔을 3분간에 걸쳐 조사하였다. 그 후, 진공으로 유지한 접착 장치 내에서, 지지 기판 및 전류 확산층의 표면을 서로 겹치고, 각각의 표면에서의 압력이 50 g/cm^2 가 되도록 하중을 걸고, 쌍방을 실온에서 접합하였다. 이와 같이 하여 접합 웨이퍼를 형성하였다.

- [0516] 다음으로, 상기 접합 웨이퍼로부터, GaAs 기판 및 GaAs 완충층을 암모니아계 에천트에 의해 선택적으로 제거하였다. 다음으로, 컨택층의 표면에 제1 전극으로서, AuGe, Ni 합금을 두께가 0.5 μ m, Pt를 0.2 μ m, Au를 1 μ m로 되도록 진공 증착법에 의해 성막하였다. 그 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 실시하고, 제1 전극으로서 n형 오믹 전극을 형성하였다. 다음으로, GaAs 기판을 제거한 면인 광 추출면의 표면에 조면화 처리를 실시하였다.
- [0517] 다음으로, 제2 전극으로서 p형 오믹 전극을 형성하는 영역의 에피택셜층을 선택적으로 제거하여, 전류 확산층을 노출시켰다. 이 노출된 전류 확산층의 표면에, AuBe를 0.2 μ m, Au를 1 μ m로 되도록 진공 증착법으로 p형 오믹 전극을 형성하였다. 그 후, 450 $^{\circ}$ C에서 10분간 열처리를 행하여 합금화하고, 저저항의 p형 및 n형 오믹 전극을 형성하였다.
- [0518] 다음으로, 두께 0.2 μ m의 Au로 이루어지는 230 μ m \square 의 제3 전극을 지지 기판에 형성하였다.
- [0519] 다음으로, 다이싱 소우를 이용하여, 지지 기판의 이면으로부터, 제3 전극을 형성하고 있지 않은 영역을 경사면의 각도 α 가 70 $^{\circ}$ 가 됨과 함께 수직면의 두께가 130 μ m로 되도록 V자 형상의 홈 파기를 행하였다. 다음으로, 화합물 반도체층 측으로부터 다이싱 소우를 이용하여 350 μ m 간격으로 절단하여, 칩화하였다. 다이싱에 의한 파쇄층 및 오염을 황산·과산화수소 혼합액으로 에칭 제거하여, 실시예 15의 발광 다이오드를 제작하였다.
- [0520] 상기한 바와 같이 해서 제작한 실시예 15의 발광 다이오드 칩을, 마운트 기판 상에 실장한 발광 다이오드 램프를 100개 조립하였다. 이 발광 다이오드 램프는, 마운트는, 다이본더로 지지(마운트)하고, 발광 다이오드의 n형 오믹 전극과 마운트 기판의 표면에 설치한 n전극 단자를 금선으로 와이어 본딩하고, p형 오믹 전극과 p전극 단자를 금선으로 와이어 본딩한 후, 일반적인 실리콘 수지로 밀봉해서 제작하였다.
- [0521] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 11에 나타낸다.
- [0522] 표 11에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 700nm로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.0볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 13mW이었다.
- [0523] 이 램프 20개를, 60 $^{\circ}$ C, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0524] 1000시간 후의 출력 잔존율의 평균은, 98%이었다. V_F의 변동은 없고 100%이었다.

표 11

[0525]

	소자 구조	기판	배리어층	λ_p (nm)	Po (20mA)	VF (mA)	신뢰성 Po:%	신뢰성 VF:%
실시예15	투명	GaP	AlGaAs	700	13.0	2.0	98	100
실시예16	투명	GaP	AlGaInP	700	11.2	2.2	99	100
실시예17	반사	Si	AlGaAs	700	9.0	1.9	98	100
실시예18	반사	Cu/Mo/Cu	AlGaAs	700	9.0	1.9	99	100
실시예19	반사	Si	AlGaInP	700	8.2	2.2	100	100
실시예20	투명	GaP	AlGaAs	680	11.0	2.0	99	100
실시예21	투명	GaP	AlGaInP	680	9.6	2.2	100	100
실시예22	반사	Si	AlGaAs	680	8.0	1.9	98	100
실시예23	반사	Si	AlGaInP	680	7.2	2.2	100	100
실시예24	투명	GaP	AlGaAs	720	14.0	2.0	100	100
실시예25	투명	GaP	AlGaInP	720	12.0	2.2	99	100
실시예26	투명	GaP	AlGaAs	660	8.0	2.0	98	100
실시예27	투명	GaP	AlGaInP	660	7.6	2.3	100	100
비교예2	액상 에피	AlGaAs		700	3.8	1.9	78	105
비교예3	액상 에피	AlGaAs		680	2.8	1.9	74	107

[0526] (실시예 16)

- [0527] 실시예 16의 발광 다이오드는 제7 실시 형태의 실시예이다.
- [0528] 화합물 반도체층은 이하의 조건에서 형성하고, 그 밖의 조건은 실시예 15와 마찬가지로이다.
- [0529] Si를 도프한 n형의 GaAs 단결정으로 이루어지는 GaAs 기판 상은, (100)면으로부터 (0-1-1)방향으로 15° 기울인 면을 성장면으로 하고, 캐리어 농도를 $2 \times 10^{18} \text{ cm}^{-3}$ 으로 하였다. 화합물 반도체층으로서, Si를 도프한 GaAs로 이루어지는 n형의 완충층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 컨택트층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 상부 클래드층, $(\text{Al}_{0.3}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 상부 가이드층, $\text{Al}_{0.24}\text{Ga}_{0.76}\text{As}/(\text{Al}_{0.1}\text{Ga}_{0.9})_{0.5}\text{In}_{0.5}\text{P}$ 의 쌍으로 이루어지는 웰층/배리어층, $(\text{Al}_{0.3}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 하부 가이드층, Mg를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 p형의 하부 클래드층, $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 박막의 중간층, Mg 도프한 p형 GaP로 이루어지는 전류 확산층을 이용하였다.
- [0530] GaAs로 이루어지는 완충층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 컨택트층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $3.5 \mu\text{m}$ 로 하였다. 상부 클래드층은, 캐리어 농도를 약 $1 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 상부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 웰층은, 언도프이고 층 두께가 약 17 nm 인 $\text{Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 로 하고, 배리어층은 언도프이고 층 두께가 약 19 nm 인 $(\text{Al}_{0.1}\text{Ga}_{0.9})_{0.5}\text{In}_{0.5}\text{P}$ 로 하였다. 또한, 웰층 및 배리어층의 페어수를 18쌍으로 하였다. 하부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 하부 클래드층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 중간층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.05 \mu\text{m}$ 로 하였다. GaP로 이루어지는 전류 확산층은, 캐리어 농도를 약 $3 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $9 \mu\text{m}$ 로 하였다.
- [0531] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 11에 나타낸다.
- [0532] 표 11에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 700 nm 로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.2볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 11.2mW이었다.
- [0533] 이 램프 20개를, 60°C , 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0534] 1000시간 후의 출력 잔존율의 평균은, 99%이었다. V_F 의 변동은 없고 100%이었다.
- [0535] (실시예 17)
- [0536] 실시예 17의 발광 다이오드는 제8 실시 형태의 실시예이고, 전류 확산층에, 반사층을 포함하는 지지 기판을 접합한 구성이다. 도 8(a) 및 (b)를 참조하여, 실시예 17의 발광 다이오드의 제조 방법에 대해서 설명한다. 또한, 하부 가이드층 및 상부 가이드층은 도시를 생략하고 있다.
- [0537] 화합물 반도체층은 실시예 15의 조건과 동일한 조건에서 형성하였다.
- [0538] 다음으로, 전류 확산층(8)의 표면에, AuBe/Au 합금을 두께 $0.2 \mu\text{m}$ 이고 $20 \mu\text{m} \phi$ 인 도트로 이루어지는 전극(21)을, 광 취출면의 단부로부터 $50 \mu\text{m}$ 로 되도록 등간격으로 8개 배치하였다.
- [0539] 다음으로, 투명 도전막인 ITO막(22)을 $0.4 \mu\text{m}$ 의 두께로 스퍼터법에 의해 형성하였다. 또한, 은 합금/Ti/Au로 이루어지는 층(23)을 $0.2 \mu\text{m}/0.1 \mu\text{m}/1 \mu\text{m}$ 의 두께로 형성하여, 반사층(23)으로 하였다.
- [0540] 한편, 실리콘 기판(30)의 표면에, Ti/Au/In으로 이루어지는 층(32)을 $0.1 \mu\text{m}/0.5 \mu\text{m}/0.3 \mu\text{m}$ 의 두께로 형성하였다. 실리콘 기판(30)의 이면에, Ti/Au로 이루어지는 층(33)을 $0.1 \mu\text{m}/0.5 \mu\text{m}$ 의 두께로 형성하였다. 상기 발광 다이오드 웨이퍼측의 Au와 실리콘 기판측의 In 표면을 서로 겹치고, 320°C 에서 가열· $500 \text{ g}/\text{cm}^2$ 로 가압하여, 지지 기판을 발광 다이오드 웨이퍼에 접합하였다.
- [0541] GaAs 기판을 제거하고, 컨택트층(16)의 표면에, AuGe/Au로 이루어지는 직경 $100 \mu\text{m}$ 이고 두께 $3 \mu\text{m}$ 인 오믹 전극(25)을 형성하고, 420°C 에서, 5분간 열처리하여, p, n오믹 전극을 합금화 처리하였다.
- [0542] 다음으로, 컨택트층(16)의 표면을 조면화 처리하였다.

- [0543] 칩으로 분리하기 위한 절단 예정 부분의 반도체층과 반사층, 공정 금속을 제거하고, 실리콘 기판을 다이싱 소우로, 350 μ m 피치로 정방향으로 절단하였다.
- [0544] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 11에 나타낸다.
- [0545] 표 11에 나타내는 바와 같이, 상면 및 하면의 전극 사이에 전류를 흘린 바, 피크 파장 700nm로 하는 광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 1.9볼트(V)로 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 9mW이었다.
- [0546] 이 램프 20개를, 60 $^{\circ}$ C, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0547] 1000시간 후의 출력 잔존율의 평균은 98%이었다. V_F 의 변동은 없고 100%이었다.
- [0548] (실시에 18)
- [0549] 실시예 18의 발광 다이오드는 제9 실시 형태의 실시예이고, 전류 확산층에, 반사층과 금속 기판을 포함하는 지지 기판을 접합한 구성이다. 도 9를 참조하여, 실시예 18의 발광 다이오드를 설명한다.
- [0550] 우선, 금속 기판을 제작하였다. 2매의 대략 평판 형상이고 두께 10 μ m인 Cu판과, 1매의 대략 평판 형상의 두께 75 μ m인 Mo판을 준비하고, 2매의 Cu판 사이에 Mo판을 삽입해서 이들을 겹쳐서 배치하고, 가압 장치에 상기 기판을 배치하여, 고온하에서 그들 금속판에 대하여 그들 사이에 끼우는 방향에 하중을 걸었다. 이에 의해, Cu(10 μ m)/Mo(75 μ m)/Cu(10 μ m)의 3층으로 이루어지는 금속 기판을 제작하였다.
- [0551] 화합물 반도체층은, 완충층과 컨택트층 사이에, Si 도프의 (Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P로 이루어지고, 층 두께가 0.5 μ m의 에칭 스톱층을 형성한 점을 제외하고, 실시예 15의 조건과 동일한 조건에서 형성하였다.
- [0552] 전류 확산층(8)의 면(8b) 상에, 0.4 μ m의 두께의 AuBe 상에 0.2 μ m의 두께의 Au가 적층되어 이루어지고, 평면에서 보았을 때에 20 μ m ϕ 의 원 형상이며, 60 μ m의 간격으로 제2 전극(57)을 형성하였다.
- [0553] 다음으로, 투명 도전막인 ITO막(52)을, 제2 전극(57)을 피복하도록, 0.8 μ m의 두께로 스퍼터법에 의해 형성하였다.
- [0554] 다음으로, ITO막(52) 상에, 증착법을 이용하여, 은(Ag) 합금으로 이루어지는 막을 0.7 μ m 성막한 후, 니켈(Ni)/티타늄(Ti)으로 이루어지는 막을 0.5 μ m, 금(Au)으로 이루어지는 막을 1 μ m 성막하고, 반사막(53)을 형성하였다.
- [0555] 다음으로, 화합물 반도체층의 전류 확산층(8) 상에 ITO막(52) 및 반사막(53)을 형성한 구조체와, 금속 기판을 대향해서 서로 겹치도록 배치해서 감압 장치 내에 반입하고, 400 $^{\circ}$ C에서 가열한 상태에서, 500kg중의 하중으로 그들을 접합해서 접합 구조체를 형성하였다.
- [0556] 다음으로, 접합 구조체로부터, 화합물 반도체층의 성장 기판인 GaAs 기판과 완충층을 암모니아계 에천트에 의해 선택적으로 제거하고, 또한, 에칭 스톱층을 염산계 에천트에 의해 선택적으로 제거하였다.
- [0557] 다음으로, 진공 증착법을 이용하여, 컨택트층 상에, AuGe를 0.15 μ m의 두께로 성막한 후, Ni를 0.05 μ m의 두께로 성막하고, 또한 Au를 1 μ m의 두께로 성막하여, 제1 전극용 도전막을 형성하였다. 다음으로, 포토리소그래피를 이용하여, 전극용 도전막을 평면에서 보아 원 형상으로 패터닝하여, 직경 100 μ m이고 두께 3 μ m의 제1 전극(55)을 제작하였다.
- [0558] 다음으로, 제1 전극을 마스크로 하여, 암모니아계 에천트에 의해, 컨택트층 중, 제1 전극 아래 이외의 부분을 에칭으로 제거해서 컨택트층(56)을 형성하였다.
- [0559] 칩으로 분리하기 위한 절단 예정 부분의 화합물 반도체층과 반사층, 공정 금속을 제거하고, 금속 기판을 레이저 다이싱에 의해, 350 μ m 피치로 정방향으로 절단하였다.
- [0560] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 11에 나타낸다.
- [0561] 표 11에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 700nm로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 1.9볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 9mW이었다.

- [0562] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0563] 1000시간 후의 출력 잔존율의 평균은, 99%이었다. VF의 변동은 없고 100%이었다.
- [0564] (실시예 19)
- [0565] 실시예 19의 발광 다이오드는 제10 실시 형태의 실시예이다.
- [0566] 화합물 반도체층은 실시예 16의 조건과 동일한 조건에서 형성하고, 그 밖의 조건은 실시예 17과 마찬가지로이다.
- [0567] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 11에 나타낸다.
- [0568] 표 11에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 700nm로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.2볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 8.2mW이었다.
- [0569] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0570] 1000시간 후의 출력 잔존율의 평균은, 100%이었다. VF의 변동은 없고 100%이었다.
- [0571] (실시예 20)
- [0572] 실시예 20의 발광 다이오드는 제6 실시 형태의 실시예이고, 발광 피크 파장을 680nm로 하기 위해 웰층의 Al 조성 X1=0.28로 한 것, 조성식 (Al_{X2}Ga_{1-X2})As(0≤X2≤1)의 배리어층의 Al 조성 X2=0.45로 한 것, 즉, 발광부를 Al_{0.28}Ga_{0.72}As/Al_{0.45}Ga_{0.55}As의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 15와 동일한 조건에서 제작하였다.
- [0573] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타낸 바와 같고, 피크 파장 680nm로 하는 적색광이 출사되고, 발광 출력(P₀), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 11mW, 2V, 99%, 100%이었다.
- [0574] (실시예 21)
- [0575] 실시예 21의 발광 다이오드는 제7 실시 형태의 실시예이고, 발광 피크 파장을 680nm로 하기 위해 웰층의 Al 조성 X1=0.28로 한 것, 조성식 (Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0≤X4≤1, 0<Y2≤1)의 배리어층의 Al 조성 X4=0.1, Y2=0.5로 한 것, 즉, 발광부를 Al_{0.28}Ga_{0.72}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 15와 동일한 조건에서 제작하였다.
- [0576] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타낸 바와 같고, 피크 파장 680nm로 하는 적색광이 출사되고, 발광 출력(P₀), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 9.6mW, 2.2V, 100%, 100%이었다.
- [0577] (실시예 22)
- [0578] 실시예 22의 발광 다이오드는 제8 실시 형태의 실시예이고, 발광 피크 파장을 680nm로 하기 위해 웰층의 Al 조성 X1=0.28로 한 것, 조성식 (Al_{X2}Ga_{1-X2})As(0≤X2≤1)의 배리어층의 Al 조성 X2=0.45로 한 것, 즉, 발광부를 Al_{0.28}Ga_{0.72}As/Al_{0.45}Ga_{0.55}As의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 17과 동일한 조건에서 제작하였다. 또한, 배리어층의 Al 조성 X=0.4로부터 X=0.45로 변한 것은 발광 피크 파장에는 영향을 주지 않고 있다.
- [0579] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타낸 바와 같고, 피크 파장 680nm로 하는 적색광이 출사되고, 발광 출력(P₀), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 8mW, 1.9V, 98%, 100%이었다.
- [0580] (실시예 23)
- [0581] 실시예 23의 발광 다이오드는 제10 실시 형태의 실시예이고, 발광 피크 파장을 680nm로 하기 위해 웰층의 Al 조성 X1=0.28로 한 것, 조성식 (Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0≤X4≤1, 0<Y2≤1)의 배리어층의 Al 조성 X4=0.1, Y2=0.5로

한 것, 즉, 발광부를 $Al_{0.28}Ga_{0.72}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 17과 동일한 조건에서 제작하였다.

[0582] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타난 바와 같고, 피크 파장 680nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 7.2mW, 2.2V, 100%, 100%이었다.

[0583] (실시예 24)

[0584] 실시예 24의 발광 다이오드는 제6 실시 형태의 실시예이고, 발광 피크 파장을 720nm로 하기 위해 웰층의 Al 조성 $X1=0.2$ 로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.4$ 로 한 것, 즉, 발광부를 $Al_{0.2}Ga_{0.8}As/Al_{0.4}Ga_{0.6}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 15와 동일한 조건에서 제작하였다.

[0585] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타난 바와 같고, 피크 파장 720nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 14mW, 2V, 100%, 100%이었다.

[0586] (실시예 25)

[0587] 실시예 25의 발광 다이오드는 제7 실시 형태의 실시예이고, 발광 피크 파장을 720nm로 하기 위해 웰층의 Al 조성 $X1=0.2$ 로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.2}Ga_{0.8}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 16과 동일한 조건에서 제작하였다.

[0588] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타난 바와 같고, 피크 파장 720nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 12mW, 2.2V, 99%, 100%이었다.

[0589] (실시예 26)

[0590] 실시예 26의 발광 다이오드는 제6 실시 형태의 실시예이고, 발광 피크 파장을 660nm로 하기 위해 웰층의 Al 조성 $X1=0.33$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.45$ 로 한 것, 즉, 발광부를 $Al_{0.33}Ga_{0.67}As/Al_{0.45}Ga_{0.55}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 15와 동일한 조건에서 제작하였다.

[0591] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타난 바와 같고, 피크 파장 660nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 8mW, 2V, 98%, 100%이었다.

[0592] (실시예 27)

[0593] 실시예 27의 발광 다이오드는 제7 실시 형태의 실시예이고, 발광 피크 파장을 660nm로 하기 위해 웰층의 Al 조성 $X1=0.33$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.33}Ga_{0.67}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 16과 동일한 조건에서 제작하였다.

[0594] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 11에 나타난 바와 같고, 피크 파장 660nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 7.6mW, 2.3V, 100%, 100%이었다.

[0595] (비교예 2)

[0596] 비교예 2의 발광 다이오드는, AlGaAs계 발광 다이오드의 고휘도 타입인, 더블 헤테로 구조의 발광부를 갖는 기판 제거형의 발광 다이오드이다.

- [0597] 우선, GaAs 기판에, 슬라이드 보트형 성장 장치를 이용하여 액상 에피택셜법으로 AlGaAs층을 성장하였다.
- [0598] 슬라이드 보트형 성장 장치의 기판 수납 홈에 p형 GaAs 기판을 세트하고, 각 층의 성장용으로 준비한 도가니에 Ga 메탈, GaAs 다결정, 금속 Al, 및 도우펀트를 넣었다. 성장하는 층은, 투명 후막층(제1 p형 층), 하부 클래드층(p형 클래드층), 활성층, 상부 클래드층(n형 클래드층)의 4층 구조로 하고, 이 순서로 적층하였다.
- [0599] 이들의 원료를 세트한 슬라이드 보트형 성장 장치를, 석영 반응관 내에 세트하고, 수소 기류 중에서 950℃까지 가온하고, 원료를 용해한 후, 분위기 온도를 910℃까지 강온하고, 슬라이더를 우측으로 눌러서 원료 용액(멜트)에 접촉시킨 후 0.5℃/분의 속도로 강온하고, 소정 온도에 도달한 후, 또한 슬라이더를 눌러서 순차적으로 각 원료 용액에 접촉시킨 후 강온시키는 동작을 반복하고, 최종적으로는 멜트와 접촉시킨 후, 분위기 온도를 700℃까지 강온해서 n클래드층을 성장시킨 후, 슬라이더를 눌러서 원료 용액과 웨이퍼를 분리해서 에피택셜 성장을 종료시켰다.
- [0600] 얻어진 에피택셜층의 구조는, 제1 p형 층은, Al 조성 $X_1=0.36\sim 0.45$, 층 두께 55 μm , 캐리어 농도 $9\times 10^{17}\text{cm}^{-3}$, p형 클래드층은, Al 조성 $X_2=0.4\sim 0.5$, 층 두께 70 μm , 캐리어 농도 $5\times 10^{17}\text{cm}^{-3}$, p형 활성층은, 발광 파장이 700nm인 조성이고, 층 두께 1 μm , 캐리어 농도 $1\times 10^{18}\text{cm}^{-3}$, n형 클래드층은, Al 조성 $X_4=0.4\sim 0.5$, 층 두께 28 μm , 캐리어 농도 $5\times 10^{17}\text{cm}^{-3}$ 이었다.
- [0601] 이 에피택셜 성장 종료 후, 에피택셜 기판을 취출하고, n형 AlGaAs 투명 후막층 표면을 보호하여, 암모니아-과산화수소계 에천트로 p형 GaAs 기판을 선택적으로 제거하였다. 이것에 의해 노출한 p형 클래드층 측을 이면측, n형 AlGaAs 투명 후막층 측을 표면측으로 해서, 발광 다이오드를 작성하였다.
- [0602] 에피 웨이퍼 표면측에 금 합금/금 전극을 형성하고, 350 μm 간격의 전극 마스크를 이용하여, 직경 100 μm 인 와이어 본딩용 패드가 중앙에 배치된 표면 전극을 설치하였다. 에피택셜 이면측에도 금 합금/금 전극을 형성하고, 직경 20 μm 인 오믹 전극을 80 μm 간격으로 설치하였다. 그 후, 다이싱으로 분리, 에칭하는 것에 의해, n형 GaAlAs층이 표면측이 되도록 한 약 320 μm 각의 발광 다이오드를 제작하였다.
- [0603] 비교예 2의 발광 다이오드를 실장한 발광 다이오드 램프의 특성을 평가한 결과를 표 11에 나타낸다.
- [0604] 표 11에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장을 700nm로 하는 적색광이 출사되었다. 또한, 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 약 1.9볼트(V)로 되었다. 또한, 순방향 전류를 20mA로 했을 때의 발광 출력은, 3.8mW이었다.
- [0605] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0606] 1000시간 후의 출력 잔존율의 평균은 78%이었다. V_F 의 변동은 약간 높아져 105%이었다.
- [0607] (비교예 3)
- [0608] 비교예 2와 마찬가지로의 방법으로, 발광 파장을 680nm가 되도록, 활성층을 조정한 발광 다이오드의 평가 결과를 표 11에 나타낸다.
- [0609] 특성을 평가한 결과는 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 2.8mW, 1.9V, 74%, 107%이었다.
- [0610] 비교예의 램프는, 본 발명의 실시예에 비해서 출력이 1/2 이하로 매우 낮았다. 또한, 고온 고습의 신뢰성도, 실시예는 거의 변동이 없었지만, 비교예는, 출력 저하와 V_F 상승이 확인되었다. 이것은, 발광 다이오드의 고농도 Al의 표면이 산화(부식)하여, 광의 투과를 저해하고, 저항이 상승했다고 생각된다.
- [0611] (실시예 28)
- [0612] 실시예 28의 발광 다이오드는 제11 실시 형태의 실시예이다.
- [0613] 우선, Si를 도프한 n형 GaAs 단결정으로 이루어지는 GaAs 기판 상에, 화합물 반도체층을 순차적으로 적층해서 발광 파장 830nm의 에피택셜 웨이퍼를 제작하였다. GaAs 기판은, (100)면으로부터 (0-1-1)방향으로 15° 기울인 면을 성장면으로 하고, 캐리어 농도를 $2\times 10^{18}\text{cm}^{-3}$ 으로 하였다. 또한, GaAs 기판의 층 두께는, 약 0.5 μm 로 하였다. 화합물 반도체층이란, Si를 도프한 GaAs로 이루어지는 n형의 완충층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$

로 이루어지는 n형의 컨택층, Si를 도프한 $(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ 로 이루어지는 n형의 상부 클래드층, $Al_{0.3}Ga_{0.7}As$ 로 이루어지는 상부 가이드층, $Al_{0.03}Ga_{0.97}As/Al_{0.2}Ga_{0.8}As$ 의 쌍으로 이루어지는 웰층/배리어층, $Al_{0.3}Ga_{0.7}As$ 로 이루어지는 하부 가이드층, Mg를 도프한 $(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}P$ 로 이루어지는 p형의 하부 클래드층, $(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P$ 로 이루어지는 박막의 중간층, Mg 도프한 p형 GaP로 이루어지는 전류 확산층이다.

[0614] 본 실시예에서는, 감압 유기 금속 화학 기상 퇴적 장치법(MOCVD 장치)을 이용하여, 직경 76mm, 두께 350 μ m의 GaAs 기판에 화합물 반도체층을 에피택셜 성장시켜, 에피택셜 웨이퍼를 형성하였다. 에피택셜 성장층을 성장시킬 때, III족 구성 원소의 원료로서는, 트리메틸 알루미늄((CH₃)₃Al), 트리메틸 갈륨((CH₃)₃Ga) 및 트리메틸 인듐((CH₃)₃In)을 사용하였다. 또한, Mg의 도핑 원료로서는, 비스시클로펜타디에닐 마그네슘(bis-(C₅H₅)₂Mg)을 사용하였다. 또한, Si의 도핑 원료로서는, 디실란(Si₂H₆)을 사용하였다. 또한, V족 구성 원소의 원료로서는, 포스핀(PH₃), 아루신(AsH₃)을 사용하였다. 또한, 각 층의 성장 온도로서는, p형 GaP로 이루어지는 전류 확산층은, 750 $^{\circ}$ C에서 성장시켰다. 그 이외의 각 층에서는 700 $^{\circ}$ C에서 성장시켰다.

[0615] GaAs로 이루어지는 완충층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 0.5 μ m로 하였다. 컨택층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 3.5 μ m로 하였다. 상부 클래드층은, 캐리어 농도를 약 $1 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 0.5 μ m로 하였다. 상부 가이드층은, 언도프이고 층 두께를 약 50nm로 하였다. 웰층은, 언도프이고 층 두께가 약 17nm인 $Al_{0.03}Ga_{0.97}As$ 로 하고, 배리어층은 언도프이고 층 두께가 약 19nm인 $Al_{0.2}Ga_{0.8}As$ 로 하였다. 또한, 웰층과 배리어층을 교대로 18쌍 적층하였다. 하부 가이드층은, 언도프이고 층 두께를 약 50nm로 하였다. 하부 클래드층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 0.5 μ m로 하였다. 중간층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 0.05 μ m로 하였다. GaP로 이루어지는 전류 확산층은, 캐리어 농도를 약 $3 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 9 μ m로 하였다.

[0616] 다음으로, 전류 확산층을 표면으로부터 약 1 μ m의 깊이 에 이르는 영역까지 연마하고, 경면 가공하였다. 이 경면 가공에 의해, 전류 확산층의 표면의 거칠기를 0.18nm로 하였다. 한편, 상기한 전류 확산층의 경면 연마한 표면에 접촉하는 n형 GaP로 이루어지는 지지 기판을 준비하였다. 이 접촉용의 지지 기판에는, 캐리어 농도가 약 $2 \times 10^{17} \text{ cm}^{-3}$ 이 되도록 Si를 첨가하고, 면방위를 (111)로 한 단결정을 이용하였다. 또한, 지지 기판의 직경은 76mm이고, 두께는 250 μ m이었다. 이 지지 기판의 표면은, 전류 확산층에 접합시키기 이전에 경면으로 연마하고, 평방 평균 평방근값(rms)으로 해서 0.12nm로 마무리해 두었다.

[0617] 다음으로, 일반적인 반도체 재료 접착 장치에, 상기한 지지 기판 및 에피택셜 웨이퍼를 반입하고, 3×10^{-5} Pa가 될 때까지 장치 내를 진공으로 배기하였다.

[0618] 다음으로, 지지 기판 및 전류 확산층의 쌍방의 표면에, 전자를 충돌시켜 중성(뉴트럴)화한 Ar 빔을 3분간에 걸쳐 조사하였다. 그 후, 진공으로 유지한 접착 장치 내에서, 지지 기판 및 전류 확산층의 표면을 서로 겹치고, 각각의 표면에서의 압력이 50g/cm²가 되도록 하중을 걸고, 쌍방을 실온에서 접합하였다. 이와 같이 하여 접합 웨이퍼를 형성하였다.

[0619] 다음으로, 상기 접합 웨이퍼로부터, GaAs 기판 및 GaAs 완충층을 암모니아계 에천트에 의해 선택적으로 제거하였다. 다음으로, 컨택층의 표면에 제1 전극으로서, AuGe, Ni 합금을 두께가 0.5 μ m, Pt를 0.2 μ m, Au를 1 μ m로 되도록 진공 증착법에 의해 성막하였다. 그 후, 일반적인 포토리소그래피 수단을 이용하여 패터닝을 실시하고, 제1 전극으로서 n형 오믹 전극을 형성하였다. 다음으로, GaAs 기판을 제거한 면인 광 취출면의 표면에 조면화 처리를 실시하였다.

[0620] 다음으로, 제2 전극으로서 p형 오믹 전극을 형성하는 영역의 에피층을 선택적으로 제거하여, 전류 확산층을 노출시켰다. 이 노출된 전류 확산층의 표면에, AuBe를 0.2 μ m, Au를 1 μ m로 되도록 진공 증착법으로 p형 오믹 전극을 형성하였다. 그 후, 450 $^{\circ}$ C에서 10분간 열처리를 행하여 합금화하고, 저저항의 p형 및 n형 오믹 전극을 형성하였다.

[0621] 다음으로, 두께 0.2 μ m의 Au로 이루어지는 230 μ m \square 의 제3 전극을 지지 기판에 형성하였다.

[0622] 다음으로, 다이싱 소우를 이용하여, 지지 기판의 이면으로부터, 제3 전극을 형성하고 있지 않은 영역을 경사면의 각도 α 가 70 $^{\circ}$ 가 됨과 함께 수직면의 두께가 130 μ m로 되도록 V자 형상의 홈 파기를 행하였다. 다음으로, 화

합물 반도체층 측으로부터 다이싱 소우를 이용하여 350 μ m 간격으로 절단하여, 칩화하였다. 다이싱에 의한 파쇄 층 및 오염을 황산·과산화수소 혼합액으로 에칭 제거하여, 실시예 28의 발광 다이오드를 제작하였다.

[0623] 상기한 바와 같이 해서 제작한 실시예 28의 발광 다이오드 칩을, 마운트 기판 상에 실장한 발광 다이오드 램프를 100개 조립하였다. 이 발광 다이오드 램프는, 마운트는, 다이본더로 지지(마운트)하고, 발광 다이오드의 n형 오믹 전극과 마운트 기판의 표면에 설치한 n전극 단자를 금선으로 와이어 본딩하고, p형 오믹 전극과 p전극 단자를 금선으로 와이어 본딩한 후, 일반적인 에폭시 수지로 밀봉해서 제작하였다.

[0624] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 12에 나타낸다.

[0625] 표 12에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 830nm로 하는 적외광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(Vf)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 2.0볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 16mW이었다.

[0626] 이 램프 20개를, 60 $^{\circ}$ C, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.

[0627] 1000시간 후의 출력 잔존율의 평균은, 98%이었다. Vf의 변동은 없고 100%이었다.

표 12

	소자 구조	기판	배리어층	λp (nm)	Po (20mA)	VF (20mA)	신뢰성	신뢰성
							Po : %	VF : %
실시예 2 8	투명	GaP	AlGaAs	830	16.0	2.0	98	100
실시예 2 9	투명	GaP	AlGaInP	830	13.1	2.2	99	100
실시예 3 0	반사	Si	AlGaAs	830	12.0	1.9	98	100
실시예 3 1	반사	Cu/Mo/Cu	AlGaAs	830	12.0	1.9	98	100
실시예 3 2	반사	Si	AlGaInP	830	10.7	2.1	100	100
실시예 3 3	투명	GaP	AlGaAs	760	15.0	2.0	98	100
실시예 3 4	투명	GaP	AlGaInP	760	12.7	2.2	99	100
실시예 3 5	반사	Si	AlGaAs	760	11.0	1.9	98	100
실시예 3 6	반사	Si	AlGaInP	760	9.8	2.1	100	100
실시예 3 7	투명	GaP	AlGaAs	800	17.0	2.0	98	100
실시예 3 8	투명	GaP	AlGaInP	800	13.5	2.2	99	100
실시예 3 9	반사	Si	AlGaAs	800	13.0	1.9	98	100
실시예 4 0	반사	Si	AlGaInP	800	10.8	2.1	100	100
실시예 4 1	투명	GaP	AlGaAs	850	14.0	2.0	98	100
실시예 4 2	투명	GaP	AlGaInP	850	12.2	2.2	99	100
실시예 4 3	반사	Si	AlGaAs	850	10.0	1.9	98	100
실시예 4 4	반사	Si	AlGaInP	850	9.8	2.1	100	100
비교예 4	액상 에피	AlGaAs		760	5.0	1.9	78	105
비교예 5	액상 에피	AlGaAs		800	5.5	1.9	74	107
비교예 6	액상 에피	AlGaAs		830	6.0	1.9	74	107
비교예 7	액상 에피	AlGaAs		850	6.0	1.9	74	107

[0628]

(실시예 29)

[0629]

실시예 29의 발광 다이오드는 제12 실시 형태의 실시예이다.

[0630]

화합물 반도체층은 이하의 조건에서 형성하고, 그 밖의 조건은 실시예 28과 마찬가지로이다.

[0631]

[0632] Si를 도프한 n형의 GaAs 단결정으로 이루어지는 GaAs 기판 상은, (100)면으로부터 (0-1-1)방향으로 15 $^{\circ}$ 기울인 면을 성장면으로 하고, 캐리어 농도를 $2 \times 10^{18} \text{ cm}^{-3}$ 으로 하였다. 화합물 반도체층으로서, Si를 도프한 GaAs로 이루어지는 n형의 완충층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 컨택트층, Si를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 n형의 상부 클래드층, $(\text{Al}_{0.3}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 상부 가이드층, $\text{Al}_{0.03}\text{Ga}_{0.97}\text{As}/(\text{Al}_{0.1}\text{Ga}_{0.9})_{0.5}\text{In}_{0.5}\text{P}$ 의 쌍으로 이루어지는 웰층/배리어층, $(\text{Al}_{0.3}\text{Ga}_{0.7})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 하부 가이드층, Mg를 도프한 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 p형의 하부 클래드층, $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지는 박막의 중간층, Mg 도프한 p형 GaP로 이루어지는 전류 확산층을 이용하였다.

[0633]

GaAs로 이루어지는 완충층은, 캐리어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 0.5 μ m로 하였다. 컨택트층은, 캐리

어 농도를 약 $2 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $3.5 \mu\text{m}$ 로 하였다. 상부 클래드층은, 캐리어 농도를 약 $1 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 상부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 웰층은, 언도프이고 층 두께가 약 17 nm 인 $\text{Al}_{0.03}\text{Ga}_{0.97}\text{As}$ 로 하고, 배리어층은 언도프이고 층 두께가 약 19 nm 인 $(\text{Al}_{0.1}\text{Ga}_{0.9})_{0.5}\text{In}_{0.5}\text{P}$ 로 하였다. 또한, 웰층 및 배리어층의 페어수를 18쌍으로 하였다. 하부 가이드층은, 언도프이고 층 두께를 약 50 nm 로 하였다. 하부 클래드층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.5 \mu\text{m}$ 로 하였다. 중간층은, 캐리어 농도를 약 $8 \times 10^{17} \text{ cm}^{-3}$, 층 두께를 약 $0.05 \mu\text{m}$ 로 하였다. GaP로 이루어지는 전류 확산층은, 캐리어 농도를 약 $3 \times 10^{18} \text{ cm}^{-3}$, 층 두께를 약 $9 \mu\text{m}$ 로 하였다.

- [0634] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 12에 나타낸다.
- [0635] 표 12에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 830 nm 로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.2볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 13.1mW이었다.
- [0636] 이 램프 20개를, 60°C , 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0637] 1000시간 후의 출력 잔존율의 평균은, 99%이었다. V_F 의 변동은 없고 100%이었다.
- [0638] (실시예 30)
- [0639] 실시예 30의 발광 다이오드는 제13 실시 형태의 실시예이고, 전류 확산층에, 반사층을 포함하는 지지 기판을 접합한 구성이다. 도 8(a) 및 (b)를 참조하여, 실시예 30의 발광 다이오드의 제조 방법에 대해서 설명한다. 또한, 하부 가이드층 및 상부 가이드층은 도시를 생략하고 있다.
- [0640] 화합물 반도체층은 실시예 28의 조건과 동일한 조건에서 형성하였다.
- [0641] 다음으로, 전류 확산층(8)의 표면에, AuBe/Au 합금을 두께 $0.2 \mu\text{m}$ 이고 $20 \mu\text{m} \phi$ 인 도트로 이루어지는 전극(21)을, 광 취출면의 단부로부터 $50 \mu\text{m}$ 로 되도록 등간격으로 8개 배치하였다.
- [0642] 다음으로, 투명 도전막인 ITO막(22)을 $0.4 \mu\text{m}$ 의 두께로 스퍼터법에 의해 형성하였다. 또한, 은 합금/Ti/Au로 이루어지는 층(23)을 $0.2 \mu\text{m}/0.1 \mu\text{m}/1 \mu\text{m}$ 의 두께로 형성하고, 반사층(23)으로 하였다.
- [0643] 한편, 실리콘 기판(30)의 표면에, Ti/Au/In으로 이루어지는 층(32)을 $0.1 \mu\text{m}/0.5 \mu\text{m}/0.3 \mu\text{m}$ 의 두께로 형성하였다. 실리콘 기판(30)의 이면에, Ti/Au로 이루어지는 층(33)을 $0.1 \mu\text{m}/0.5 \mu\text{m}$ 의 두께로 형성하였다. 상기 발광 다이오드 웨이퍼층의 Au와 실리콘 기판층의 In 표면을 서로 겹치고, 320°C 에서 가열 $\cdot 500 \text{ g}/\text{cm}^2$ 로 가압하여, 지지 기판을 발광 다이오드 웨이퍼에 접합하였다.
- [0644] GaAs 기판을 제거하고, 콘택트층(16)의 표면에, AuGe/Au로 이루어지는 직경 $100 \mu\text{m}$ 이고 두께 $3 \mu\text{m}$ 인 오믹 전극(25)을 형성하고, 420°C 에서, 5분간 열처리하고, p, n오믹 전극을 합금화 처리하였다.
- [0645] 다음으로, 콘택트층(16)의 표면을 조면화 처리하였다.
- [0646] 칩으로 분리하기 위한 절단 예정 부분의 반도체층과 반사층, 공정 금속을 제거하고, 실리콘 기판을 다이싱 소우로, $350 \mu\text{m}$ 피치로 정방향으로 절단하였다.
- [0647] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 12에 나타낸다.
- [0648] 표 12에 나타내는 바와 같이, 상면 및 하면의 전극 사이에 전류를 흘린 바, 피크 파장 830 nm 로 하는 광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 1.9볼트(V)로 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 12mW이었다.
- [0649] 이 램프 20개를, 60°C , 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0650] 1000시간 후의 출력 잔존율의 평균은 98%이었다. V_F 의 변동은 없고 100%이었다.
- [0651] (실시예 31)

- [0652] 실시예 31의 발광 다이오드는 제14 실시 형태의 실시예이고, 전류 확산층에, 반사층과 금속 기판을 포함하는 지지 기판을 접합한 구성이다. 도 9를 참조하여, 실시예 31의 발광 다이오드를 설명한다.
- [0653] 우선, 금속 기판을 제작하였다. 2매의 대략 평판 형상이고 두께 10 μm 인 Cu판과, 1매의 대략 평판 형상의 두께 75 μm 인 Mo판을 준비하고, 2매의 Cu판 사이에 Mo판을 삽입해서 이들을 겹쳐서 배치하고, 가압 장치에 상기 기판을 배치하여, 고온하에서 이들 금속판에 대하여 그들을 사이에 끼우는 방향에 하중을 걸었다. 이에 의해, Cu(10 μm)/Mo(75 μm)/Cu(10 μm)의 3층으로 이루어지는 금속 기판을 제작하였다.
- [0654] 화합물 반도체층은, 완충층과 컨택트층 사이에, Si 도프의 $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ 로 이루어지고, 층 두께가 0.5 μm 인 에칭 스톱층을 형성한 점을 제외하고, 실시예 28의 조건과 동일한 조건에서 형성하였다.
- [0655] 전류 확산층(8)의 면(8b) 상에, 0.4 μm 의 두께의 AuBe 상에 0.2 μm 의 두께의 Au가 적층되어 이루어지고, 평면에서 보았을 때에 20 μm φ의 원 형상이며, 60 μm 의 간격으로 제2 전극(57)을 형성하였다.
- [0656] 다음으로, 투명 도전막인 ITO막(52)을, 제2 전극(57)을 피복하도록, 0.8 μm 의 두께로 스퍼터법에 의해 형성하였다.
- [0657] 다음으로, ITO막(52) 상에, 증착법을 이용하여, 은(Ag) 합금으로 이루어지는 막을 0.7 μm 성막한 후, 니켈(Ni)/티타늄(Ti)으로 이루어지는 막을 0.5 μm , 금(Au)으로 이루어지는 막을 1 μm 성막하고, 반사막(53)을 형성하였다.
- [0658] 다음으로, 화합물 반도체층의 전류 확산층(8) 상에 ITO막(52) 및 반사막(53)을 형성한 구조체와, 금속 기판을 대향해서 서로 겹치도록 배치해서 가압 장치 내에 반입하고, 400 $^{\circ}\text{C}$ 에서 가열한 상태에서, 500kg중의 하중으로 그들을 접합해서 접합 구조체를 형성하였다.
- [0659] 다음으로, 접합 구조체로부터, 화합물 반도체층의 성장 기판인 GaAs 기판과 완충층을 암모니아계 에천트에 의해 선택적으로 제거하고, 또한, 에칭 스톱층을 염산계 에천트에 의해 선택적으로 제거하였다.
- [0660] 다음으로, 진공 증착법을 이용하여, 컨택트층 상에, AuGe를 0.15 μm 의 두께로 성막한 후, Ni를 0.05 μm 의 두께로 성막하고, 또한 Au를 1 μm 의 두께로 성막하여, 제1 전극용 도전막을 형성하였다. 다음으로, 포토리소그래피를 이용하여, 전극용 도전막을 평면에서 보아 원 형상으로 패터닝하여, 직경 100 μm 이고 두께 3 μm 인 제1 전극(55)을 제작하였다.
- [0661] 다음으로, 제1 전극을 마스크로 하여, 암모니아계 에천트에 의해, 컨택트층 중, 제1 전극 아래 이외의 부분을 에칭으로 제거해서 컨택트층(56)을 형성하였다.
- [0662] 칩으로 분리하기 위한 절단 예정 부분의 화합물 반도체층과 반사층, 공정 금속을 제거하고, 금속 기판을 레이저 다이싱에 의해, 350 μm 피치로 정방향으로 절단하였다.
- [0663] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 12에 나타낸다.
- [0664] 표 12에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 830nm로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 1.9볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 12mW이었다.
- [0665] 이 램프 20개를, 60 $^{\circ}\text{C}$, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0666] 1000시간 후의 출력 잔존율의 평균은, 98%이었다. V_F 의 변동은 없고 100%이었다.
- [0667] (실시예 32)
- [0668] 실시예 32의 발광 다이오드는 제15 실시 형태의 실시예이다.
- [0669] 화합물 반도체층은 실시예 29의 조건과 동일한 조건에서 형성하고, 그 밖의 조건은 실시예 30과 마찬가지로이다.
- [0670] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과를 표 12에 나타낸다.
- [0671] 표 12에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장 830nm로 하는 적색광이 출사되었다. 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 화합물 반도체층을 구성하는 전류 확산층과 지지 기판의 접합 계면에서의 저항의 낮음 및 각 오믹 전극의 양호한 오믹 특성을 반영하여, 약 2.1볼트가 되었다. 순방향 전류를 20mA로 했을 때의 발광 출력은, 10.7mW이었다.

- [0672] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0673] 1000시간 후의 출력 잔존율의 평균은, 100%이었다. V_F 의 변동은 없고 100%이었다.
- [0674] (실시예 33)
- [0675] 실시예 29의 발광 다이오드는 제11 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해, 발광부의 조성을 변경한 것 이외는, 실시예 28과 동일한 조건에서 제작하였다.
- [0676] 구체적으로는, 상부 가이드층은 언도프 $Al_{0.4}Ga_{0.6}As$, 웰층은 $Al_{0.13}Ga_{0.87}As$, 배리어층은 언도프이고 $Al_{0.3}Ga_{0.7}As$, 하부 가이드층도 언도프 $Al_{0.4}Ga_{0.6}As$ 로 변경하였다.
- [0677] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 760nm로 하는 적외광이 출사되고, 발광 출력(P_0) 및 순방향 전압(V_F)은 각각 15mW, 2.0V이었다. 출력 잔존율의 평균, 순방향 전압의 변동은 각각 98%, 100%이었다.
- [0678] (실시예 34)
- [0679] 실시예 34의 발광 다이오드는 제12 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해 웰층의 Al 조성 $X1=0.13$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1$, $Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.28}Ga_{0.72}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 28과 동일한 조건에서 제작하였다.
- [0680] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 760nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 12.7mW, 2.2V, 99%, 100%이었다.
- [0681] (실시예 35)
- [0682] 실시예 35의 발광 다이오드는 제13 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해 웰층의 Al 조성 $X1=0.13$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.3$ 으로 한 것, 즉, 발광부를 $Al_{0.13}Ga_{0.87}As/Al_{0.3}Ga_{0.7}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 30과 동일한 조건에서 제작하였다. 또한, 배리어층의 Al 조성 $X2=0.2$ 로부터 $X2=0.3$ 으로 변한 것은 발광 피크 파장에는 영향을 주지 않고 있다.
- [0683] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 760nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 11mW, 1.9V, 98%, 100%이었다.
- [0684] (실시예 36)
- [0685] 실시예 36의 발광 다이오드는 제15 실시 형태의 실시예이고, 발광 피크 파장을 760nm로 하기 위해 웰층의 Al 조성 $X1=0.13$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0.1$, $Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.13}Ga_{0.87}As/(Al_{0.1}Ga_{0.9})_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 30과 동일한 조건에서 제작하였다.
- [0686] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 760nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 9.8mW, 2.1V, 100%, 100%이었다.
- [0687] (실시예 37)
- [0688] 실시예 37의 발광 다이오드는 제11 실시 형태의 실시예이고, 발광 피크 파장을 800nm로 하기 위해 웰층의 Al 조성 $X1=0.07$ 로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.2$ 로 한 것, 즉, 발광부를 $Al_{0.07}Ga_{0.93}As/Al_{0.2}Ga_{0.8}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 한 것 이외는, 실시예 28과 동일한 조건에서 제작하였다.

- [0689] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 800nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 17mW, 2.0V, 98%, 100%이었다.
- [0690] (실시예 38)
- [0691] 실시예 38의 발광 다이오드는 제12 실시 형태의 실시예이고, 발광 피크 파장을 800nm로 하기 위해 웰층의 Al 조성 $X1=0.07$ 로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.07}Ga_{0.93}As/Ga_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 29와 동일한 조건에서 제작하였다.
- [0692] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 800nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 13.5mW, 2.2V, 99%, 100%이었다.
- [0693] (실시예 39)
- [0694] 실시예 39의 발광 다이오드는 제13 실시 형태의 실시예이고, 발광 피크 파장을 800nm로 하기 위해 웰층의 Al 조성 $X1=0.07$ 로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.2$ 로 한 것, 즉, 발광부를 $Al_{0.07}Ga_{0.93}As/Al_{0.2}Ga_{0.8}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 30과 동일한 조건에서 제작하였다.
- [0695] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 800nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 13mW, 1.9V, 98%, 100%이었다.
- [0696] (실시예 40)
- [0697] 실시예 36의 발광 다이오드는 제15 실시 형태의 실시예이고, 발광 피크 파장을 800nm로 하기 위해 웰층의 Al 조성 $X1=0.07$ 로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.07}Ga_{0.93}As/Ga_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 30과 동일한 조건에서 제작하였다.
- [0698] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 800nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 10.8mW, 2.1V, 100%, 100%이었다.
- [0699] (실시예 41)
- [0700] 실시예 41의 발광 다이오드는 제11 실시 형태의 실시예이고, 발광 피크 파장을 850nm로 하기 위해 웰층의 Al 조성 $X1=0$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As(0 \leq X2 \leq 1)$ 의 배리어층의 Al 조성 $X2=0.2$ 로 한 것, 즉, 발광부를 $GaAs/Al_{0.2}Ga_{0.8}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 28과 동일한 조건에서 제작하였다.
- [0701] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 850nm로 하는 적외광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 14mW, 2.0V, 98%, 100%이었다.
- [0702] (실시예 42)
- [0703] 실시예 42의 발광 다이오드는 제12 실시 형태의 실시예이고, 발광 피크 파장을 850nm로 하기 위해 웰층의 Al 조성 $X1=0$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P(0 \leq X4 \leq 1, 0 < Y2 \leq 1)$ 의 배리어층의 Al 조성 $X4=0, Y2=0.5$ 로 한 것, 즉, 발광부를 $Al_{0.07}Ga_{0.93}As/Ga_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 29와 동일한 조건에서 제작하였다.

- [0704] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 850nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 12.2mW, 2.2V, 99%, 100%이었다.
- [0705] (실시에 43)
- [0706] 실시예 43의 발광 다이오드는 제13 실시 형태의 실시예이고, 발광 피크 파장을 850nm로 하기 위해 웰층의 Al 조성 $X1=0$ 으로 한 것, 조성식 $(Al_{X2}Ga_{1-X2})As$ ($0 \leq X2 \leq 1$)의 배리어층의 Al 조성 $X2=0.2$ 로 한 것, 즉, 발광부를 GaAs/ $Al_{0.2}Ga_{0.8}As$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 30과 동일한 조건에서 제작하였다.
- [0707] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 850nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 10mW, 1.9V, 98%, 100%이었다.
- [0708] (실시에 44)
- [0709] 실시예 44의 발광 다이오드는 제15 실시 형태의 실시예이고, 발광 피크 파장을 850nm로 하기 위해 웰층의 Al 조성 $X1=0$ 으로 한 것, 조성식 $(Al_{X4}Ga_{1-X4})_{Y2}In_{1-Y2}P$ ($0 \leq X4 \leq 1$, $0 < Y2 \leq 1$)의 배리어층의 Al 조성 $X4=0$, $Y2=0.5$ 로 한 것, 즉, 발광부를 GaAs/ $Ga_{0.5}In_{0.5}P$ 의 쌍으로 이루어지는 웰층/배리어층으로 변경한 것 이외는, 실시예 30과 동일한 조건에서 제작하였다.
- [0710] 이 발광 다이오드(발광 다이오드 램프)의 특성을 평가한 결과는 표 12에 나타난 바와 같고, 피크 파장 850nm로 하는 적색광이 출사되고, 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 9.8mW, 2.1V, 100%, 100%이었다.
- [0711] (비교예 4)
- [0712] 액상 에피택셜법으로, 후막 성장하고, 기판 제거한 구조의 파장 760nm의 발광 다이오드의 예를 나타낸다.
- [0713] GaAs 기판에, 슬라이드 보트형 성장 장치를 이용하여 AlGaAs층을 성장하였다.
- [0714] 슬라이드 보트형 성장 장치의 기판 수납 홈에 p형 GaAs 기판을 세트하고, 각 층의 성장용으로 준비한 도가니에 Ga 메탈, GaAs 다결정, 금속 Al, 및 도우펀트를 넣었다. 성장하는 층은, 투명 후막층(제1 p형 층), 하부 클래드층(p형 클래드층), 활성층, 상부 클래드층(n형 클래드층)의 4층 구조로 하고, 이 순서로 적층하였다.
- [0715] 이들의 원료를 세트한 슬라이드 보트형 성장 장치를, 석영 반응관 내에 세트하고, 수소 기류 중에서 950°C까지 가온하고, 원료를 용해한 후, 분위기 온도를 910°C까지 강온하고, 슬라이더를 우측으로 눌러서 원료 용액(멜트)에 접촉시킨 후 0.5°C/분의 속도로 강온하고, 소정 온도에 도달한 후, 또한 슬라이더를 눌러서 순차적으로 각 원료 용액에 접촉시킨 후 고온시키는 동작을 반복하고, 최종적으로는 멜트와 접촉시킨 후, 분위기 온도를 703°C까지 강온해서 n클래드층을 성장시킨 후, 슬라이더를 눌러서 원료 용액과 웨이퍼를 분리해서 에피택셜 성장을 종료시켰다.
- [0716] 얻어진 에피택셜층의 구조는, 제1 p형 층은, Al 조성 $X1=0.3 \sim 0.4$, 층 두께 64 μm , 캐리어 농도 $3 \times 10^{17} \text{ cm}^{-3}$, p형 클래드층은, Al 조성 $X2=0.4 \sim 0.5$, 층 두께 79 μm , 캐리어 농도 $5 \times 10^{17} \text{ cm}^{-3}$, p형 활성층은, 발광 파장이 760nm인 조성이고, 층 두께 1 μm , 캐리어 농도 $1 \times 10^{18} \text{ cm}^{-3}$, n형 클래드층은, Al 조성 $X4=0.4 \sim 0.5$, 층 두께 25 μm , 캐리어 농도 $5 \times 10^{17} \text{ cm}^{-3}$ 이었다.
- [0717] 에피택셜 성장 종료 후, 에피택셜 기판을 취출하고, n형 GaAlAs 클래드층 표면을 보호하여, 암모니아-과산화수소계 에천트로 p형 GaAs 기판을 선택적으로 제거하였다. 그 후, 에피 웨이퍼 양면에 금 전극을 형성하고, 긴 변이 350 μm 인 전극 마스크를 이용하여, 직경 100 μm 인 와이어 본딩용 패드가 중앙에 배치된 표면 전극을 형성하였다. 이번 전극에는, 직경 20 μm 인 오믹 전극을 80 μm 간격으로 형성하였다. 그 후, 다이싱으로 분리, 예칭하는 것에 의해, n형 GaAlAs층이 표면층이 되도록 한 350 μm 각의 발광 다이오드를 제작하였다.
- [0718] 비교예 4의 발광 다이오드를 실장하고, 발광 다이오드 램프의 특성을 평가한 결과를 표 12에 나타낸다.

- [0719] 표 12에 나타내는 바와 같이, n형 및 p형 오믹 전극 사이에 전류를 흘린 바, 피크 파장을 760nm로 하는 적외광이 출사되었다. 또한, 순방향으로 20밀리암페어(mA)의 전류를 통류했을 때의 순방향 전압(V_F)은, 1.9볼트(V)로 되었다. 또한, 순방향 전류를 20mA로 했을 때의 발광 출력은 5mW이며, 본 발명의 실시예에 비해서 1/2 이하이었다. 또한, 비교예 4의 어떠한 샘플에 대해서도, 본 발명의 실시예에 비해서 출력이 낮았다.
- [0720] 이 램프 20개를, 60℃, 90RH%, 20mA에서 고온 고습 통전 시험을 실시하였다.
- [0721] 1000시간 후의 출력 잔존율의 평균은 78%이었다. V_F 의 변동은 약간 높아져 105%이었다.
- [0722] (비교예 5)
- [0723] 비교예 4와 마찬가지로의 방법으로, 발광 파장을 800nm가 되도록, 활성층을 조정한 발광 다이오드의 평가 결과를 표 12에 나타낸다.
- [0724] 특성 평가한 결과는 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 5.5mW, 1.9V, 74%, 107%이었다.
- [0725] (비교예 6)
- [0726] 비교예 4와 마찬가지로의 방법으로, 발광 파장을 830nm가 되도록, 활성층을 조정한 발광 다이오드의 평가 결과를 표 12에 나타낸다.
- [0727] 특성 평가한 결과는 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 6mW, 1.9V, 74%, 107%이었다.
- [0728] (비교예 7)
- [0729] 비교예 4와 마찬가지로의 방법으로, 발광 파장을 850nm가 되도록, 활성층을 조정한 발광 다이오드의 평가 결과를 표 12에 나타낸다.
- [0730] 특성 평가한 결과는 발광 출력(P_0), 순방향 전압(V_F), 출력 잔존율의 평균, 순방향 전압의 변동은 각각, 6mW, 1.9V, 74%, 107%이었다.
- [0731] 비교예의 램프는, 본 발명의 실시예에 비해서 출력이 약 1/2 이하로 매우 낮았다. 또한, 고온 고습의 신뢰성도, 실시예는 거의 변동이 없었지만, 비교예는, 출력 저하와 V_F 상승이 확인되었다. 이것은, 발광 다이오드의 고농도 Al의 표면이 산화(부식)하여, 광의 투과를 저해하고, 저항이 상승했다고 생각된다.
- [0732] <산업상의 이용 가능성>
- [0733] 본 발명의 발광 다이오드는 적외광을 고효율 발광하고, 식물 육성 용도의 광원 등, 액상 에피택셜법의 AlGaAs의 LED에서 얻어지지 않은 고효율 발광 다이오드 제품으로서 이용할 수 있다. 또한, 종래의 AlGaAs 발광층 LED의 고효율품으로서, 대체할 가능성이 있다.

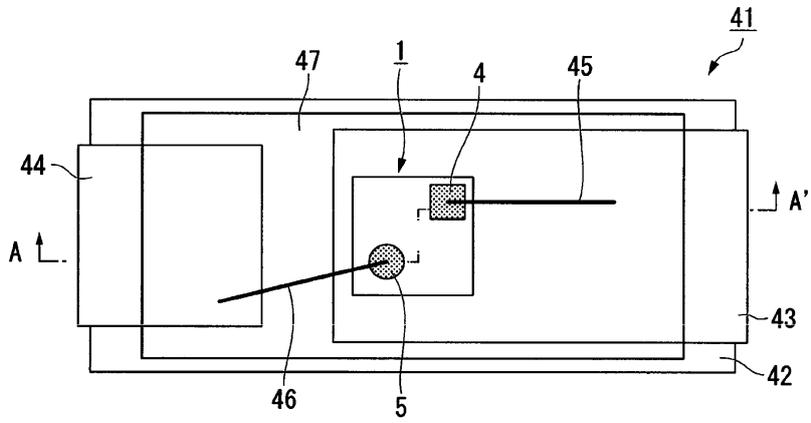
부호의 설명

- [0734] 1 : 발광 다이오드
- 2 : 화합물 반도체층
- 3 : 지지 기판
- 3a : 수직면
- 3b : 경사면
- 4 : n형 오믹 전극(제1 전극)
- 5 : p형 오믹 전극(제2 전극)
- 6 : 제3 전극
- 7 : 발광부

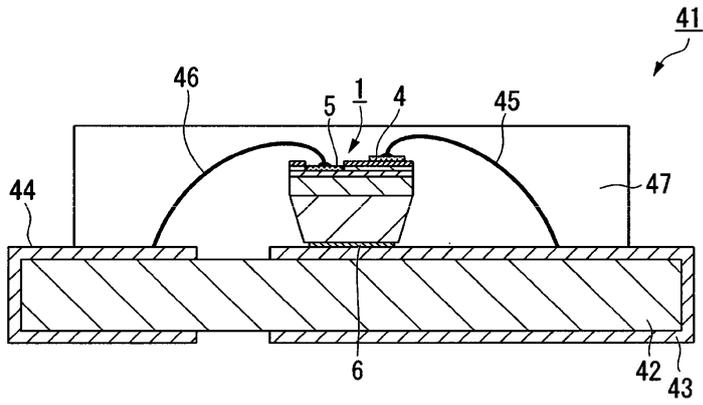
- 8 : 전류 확산층
- 9 : 하부 클래드층
- 10 : 하부 가이드층
- 11 : 발광(활성)층
- 12 : 상부 가이드층
- 13 : 상부 클래드층
- 14 : GaAs 기판
- 15 : 완충층
- 16 : 콘택트층
- 17 : 웰층
- 18 : 배리어층
- 20 : 발광 다이오드
- 21 : 전극
- 22 : 투명 도전막
- 23 : 반사층
- 25 : 본딩 전극
- 30 : 실리콘 기판
- 31 : 지지 기판
- 41 : 발광 다이오드 램프
- 42 : 마운트 기판
- 43 : n전극 단자
- 44 : p전극 단자
- 45, 46 : 금선
- 47 : 에폭시 수지
- α : 경사면과 발광면에 대해 평행한 면이 이루는 각도
- 50 : 금속 기판
- 51 : 지지 기판
- 52 : 투명 도전막
- 53 : 반사층
- 55 : 제1 전극
- 56 : 콘택트층
- 57 : 제2 전극

도면

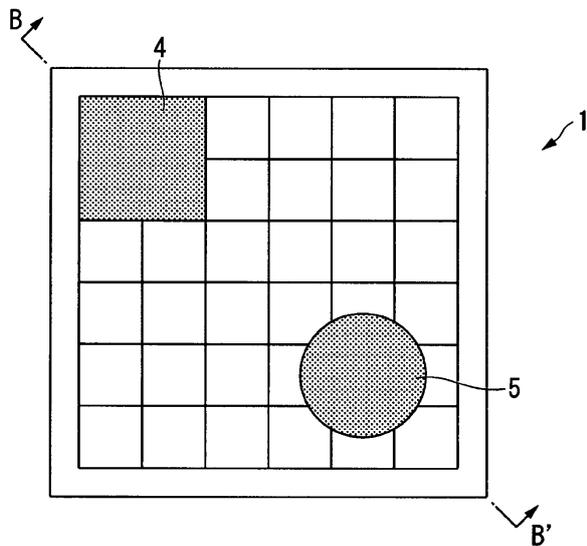
도면1



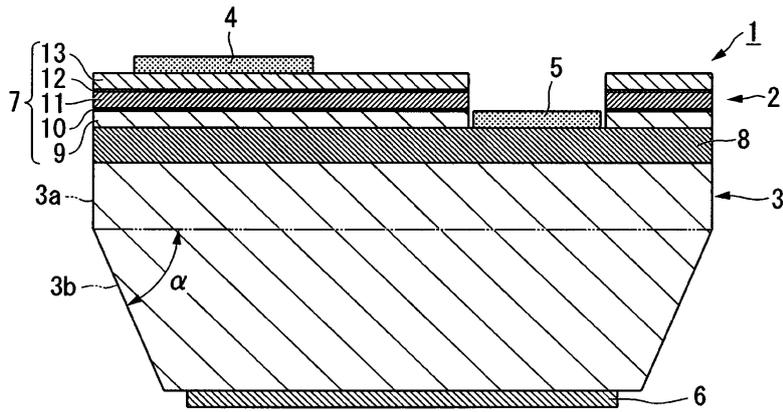
도면2



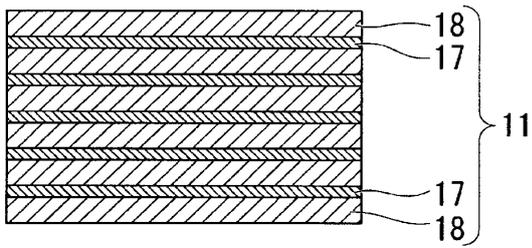
도면3



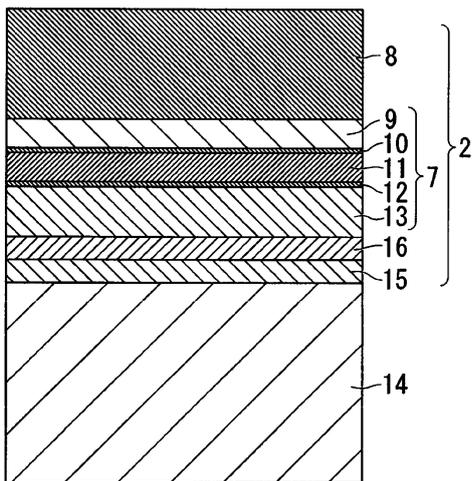
도면4



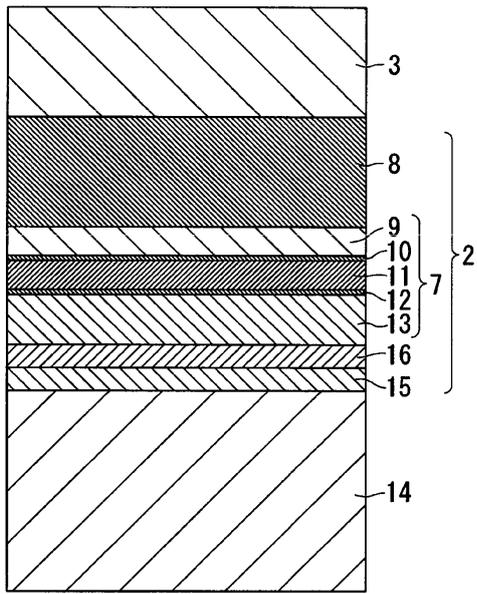
도면5



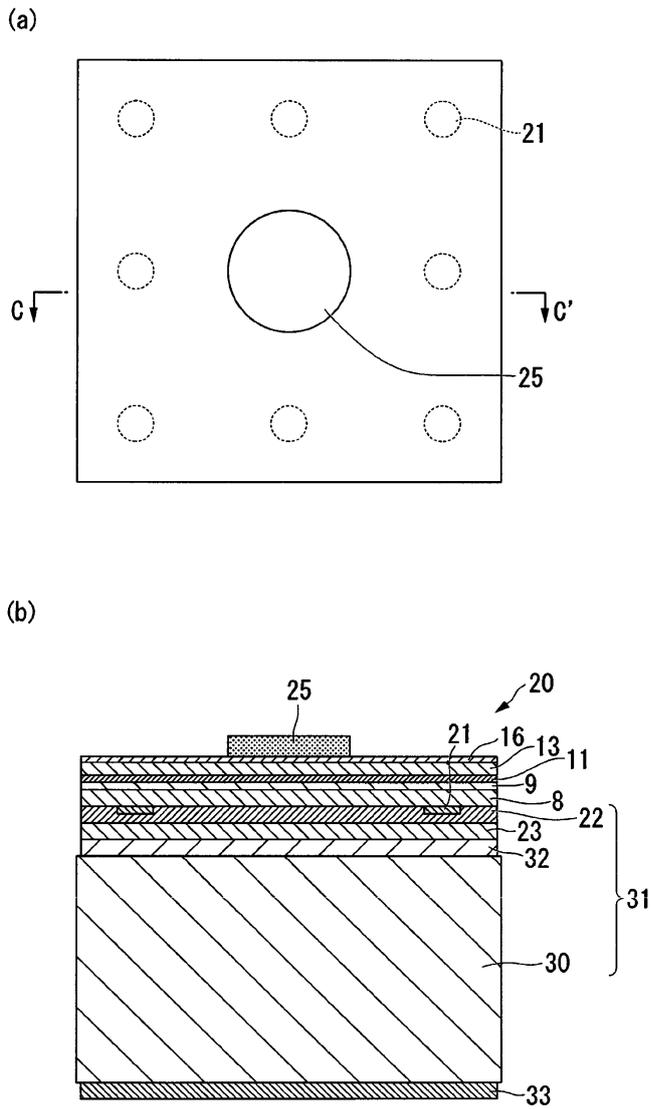
도면6



도면7



도면8



도면9

